

ساخت شکل موج‌های سینوسی سه فاز با فرکانس متغیر از ۰/۱ هرتز تا ۴۰۰ هرتز به روش Wavetable.

E-mail:m_m_emadi@yahoo.com E-mail:paiam_sanaee@yahoo.com

چکیده - تولید امواج سینوسی سه فاز کاربردهای فراوانی در الکترونیک صنعتی و کنترل دور موتورهای الکتریکی دارد. یکی از متدهای اساسی برای تولید مصنوعی شکل موج‌های متناوب روش Wavetable می‌باشد که در مقایسه با سایر شیوه‌ها از مزایای راحتی تولید شکل موج‌های خاص با دقت بالا در فرکانس‌های بسیار پایین، دقت فرکانسی و پایداری فرکانس شکل موج ایجاد شده برخوردار است. برای پیاده‌سازی این روش از سیستم سخت‌افزاری مبتنی بر تراشه‌های FPGA استفاده نمودیم. این تراشه‌های قابل برنامه‌ریزی با ظرفیت چندصد هزار گیت مکانیسم جدیدی را در طراحی سیستم‌های دیجیتال پیش رو قرار داده‌اند. با استفاده از این شیوه به سادگی پالس‌های آتش کلیدهای قدرت ایجاد می‌گردد.

کلید واژه- Direct Digital Frequency Synthesising , FPGA, Wavetable .

۱- مقدمه

و گرد شدن تبدیل به اعداد دیجیتال گردیده و به طور متوالی در خانه‌های حافظه ذخیره می‌گردند. تعداد بیت مورد نیاز برای این اعداد وابسته به عرض بیتی تراشه D/A و تعداد بیت هر کلمه حافظه می‌باشد. پس از اینکه جدول اطلاعاتی در حافظه چیده شد به فواصل t ثانیه به t ثانیه با آدرس‌دهی کردن خانه‌های متوالی حافظه اطلاعات را به تراشه D/A ارسال می‌نماییم تا شکل موج بازسازی گردد [6,7,8]. چون متد wavetable مبتنی بر قضیه نمونه‌برداری و پردازش سیگنال‌های گسسته می‌باشد لذا در آغاز مروری کوتاه بر این قضیه خواهیم داشت [8].

۲- نمونه‌برداری

هر سیگنال زمان پیوسته را میتوان توسط مقادیر لحظه‌ای آن که در فواصل زمانی مساوی از هم قرار دارند بطور کامل نشان داد. البته واضح است که شرایطی به ما تحمیل می‌شود. به سادگی می‌توان سیگنال را از این نمونه‌ها یا همان مقادیر لحظه‌ای بازیابی کرد که این خاصیت همان

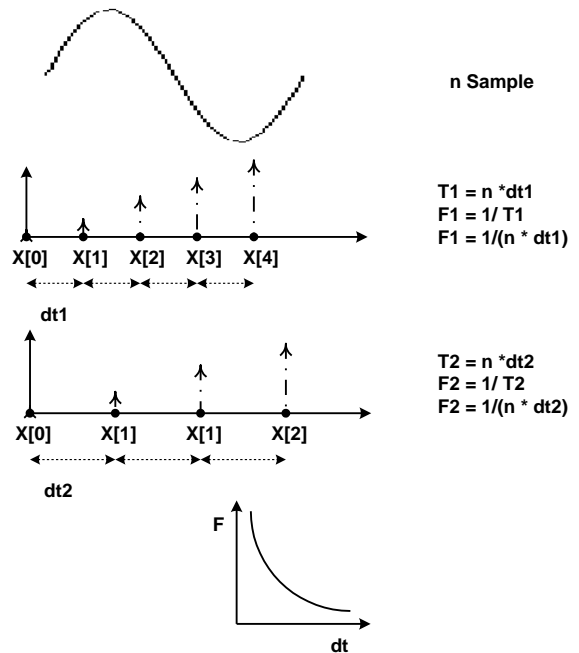
مولدهای امواج PWM قلب هر سیستم اینورتر می‌باشد [1,2,3,4,5]. هدف اصلی از این مدارات تولید پالس‌های تحریک برای کلیدهای قدرت بر اساس فرکانس و دامنه مورد درخواست می‌باشد. استفاده از تراشه‌های FPGA باعث می‌شود که مدار فرمان به صورت بهینه در یک تراشه قرار داد [1]. تولید امواج متناوب فرکانس پایین به روش آنالوگ استفاده از فیلترها تاثیرات نامطلوبی بر فاز سیگنال‌های تولیدی ایجاد می‌کنند. در حال حاضر برای سنتز و ساخت مصنوعی شکل موج‌های متناوب به صورت دیجیتال متدهای متعددی وجود دارد. از این میان روش Wavetable جزء اساسی‌ترین راهکارها می‌باشد [6,7]. توسط این راهکار (جدول جستجو) در ابتدا باید یک دوره تناوب از شکل موج را به N بخش تقسیم نماییم. تعداد این نقاط وابسته به ظرفیت حافظه مورد استفاده است. بدیهی است که با افزایش این نقاط میزان سیگنال به نویز افزایش چشمگیری خواهد داشت. دامنه نقاط نمونه پس از کوانتایز

قضیه نمونه برداری است. به عبارت دیگر قضیه نمونه برداری پلی مابین سیگنال های زمان پیوسته و زمان گسسته است. کاربرد قضیه بالا در این است که ذخیره سازی و پردازش سیگنال های زمان گسسته بسیار آسان تر از پردازش سیگنال های زمان پیوسته می باشد. نکته مهم در این است که فرکانس نمونه برداری می بایست بیش از دو برابر بالاترین فرکانس موجود در شکل موج باشد، در این صورت می توان با عبور دادن سیگنال زمان گسسته از یک فیلتر پایین گذر سیگنال اصلی را بازیابی نمود. به هنگام بازسازی شکل موج اصلی از روی اطلاعات نمونه برداری شده از نگهدارنده با درجه صفر استفاده می نماییم [8]. یعنی مقدار نمونه جاری را تا لحظه نمونه بعدی حفظ می نماییم. در این متد خطاها به دو صورت رخ می دهد.

- به دلیل ثابت در نظر گرفتن دامنه سیگنال در محدوده زمانی مفروض.
- به دلیل کوانتایز کردن دامنه سیگنال نمونه برداری شده.

۳- اصول طراحی

برای پیاده سازی این طرح به این ترتیب عمل می نماییم که یک دوره تناوب از شکل موج سینوسی را به صورت ۸ بیتی نمونه برداری نموده و در حافظه غیر فرار ذخیره می نماییم. حوزه فرکانسی ما از ۰/۱ هرتز تا ۴۰۰ هرتز می باشد. گام های فرکانسی ۰/۱ هرتز می باشد.



شکل ۱: فواصل زمانی نمونه ها.

روش متداول برای بازسازی سیگنال به این صورت می باشد که تعداد نمونه ها ثابت بوده و فقط بازه زمانی که هر نمونه در خروجی تثبیت شده باقی می ماند را تغییر می دهیم. در این روش علی رغم ثابت بودن تعداد نمونه ها به دلیل این که ارتباط بین دوره تناوب و فرکانس سیگنال خطی نبوده و به صورت هیپربولیکی می باشد. فرکانس سیگنال به صورت خطی تغییر نمی نماید.

برای این امر به این صورت عمل می نماییم که میزان افزایش فاز برای ایجاد هر فرکانس را متغییر لحاظ می نماییم. بنابراین تعداد نمونه ها برای بازسازی سیگنال نمونه برداری شده متغییر می شود. روند طراحی باید به گونه ای باشد که حداقل تعداد نمونه ها از یک مقدار خاصی کمتر نشود. ما این تعداد نمونه ها را برای کاهش بالازدگی سیگنال و سادگی مدارات آنالوگ ۱۰ لحاظ می نماییم. با توجه به اینکه گام های فرکانسی ۰/۱ هرتز می باشد پس حداقل فرکانس قابل ایجاد باید ۰/۱ هرتز باشد و با برقراری یک تناسب به این نتیجه می رسیم که تعداد نمونه ها برای بازسازی سیگنال آنالوگی با فرکانس ۰/۱ هرتز ۴۰۰۰۰ نمونه می باشد.

Frequency	Sample	T	ΔT	ΔPhase
0.1 Hz	40000	10 S	250 μs	1
400 Hz	10	2.5 ms	250 μs	4000

جدول ۲: تعداد نمونه ها و میزان اختلاف فاز برای هر فرکانس.

۴- معماری کارت سخت افزاری

در شکل ۳ شمای کلی مدار مشاهده می شود. در واحد Phase incrementor از دو ثبات ۱۶ بیتی به نام های DP, Phase استفاده می شود. ثبات Phase به مثابه یک انباره عمل می کند و به ازای هر پالس ساعت cp0 به اندازه DP واحد به محتویاتش افزوده می شود. این ثبات وظیفه بدست آوردن آدرس نمونه شکل موج اصلی را دارد. با توجه به مقادیر مختلف ثبات DP فرکانس سیگنال اصلی بدست می آید. با توجه به جدول زیر این امر محقق می شود.

همان گونه که مشخص است به ازای هر پالس ساعت میزان افزایش ثبات Phase به اندازه DP واحد می باشد. هر چه مقدار DP کوچکتر باشد زمان رسیدن به آخرین نمونه بیشتر شده و دوره تناوب سیگنال افزایش یافته و به عبارت دیگر فرکانس سیگنال کاهش می یابد. می توان ابراز داشت که مقدار فرکانس سیگنال بازسازی شده متناسب با مقدار ثبات DP

	Phase						
	0	1	2	3	4	5	...
DP =1	0	1	2	3	4	5	...
DP =2	0	2	4	6	8	10	...
DP =3	0	3	6	9	12	15	...
DP =4	0	4	8	12	16	20	...
DP =5	0	5	10	15	20	25	...
DP =1200	0	1200	2400	3600	4800	6000	...
DP=4000	0	4000	8000	12000	16000	20000	...

	Phase						
	First priod				Second period		
DP=1	39996	39997	39998	39999	0	1	...
DP=2	39992	39994	39996	39998	0	2	...
DP=3	39990	39993	39996	39999	0	3	...
					2	5	...
DP=1200	36000	37200	38400	39600	0	1200	...
					800	2000	...
DP=4000	24000	28000	32000	36000	0	4000	...

نمونه جاری بدست آمد با رجوع به حافظه محتویات خانه حافظه را در ثباتی به نام TR0 ذخیره می‌نماییم. سپس به میزان 40000/3 به آدرس این نمونه اضافه می‌نماییم تا نمونه سیگنالی که ۱۲۰ درجه فاز آن جلوتر از سیگنال اصلی است را بدست آوریم. سپس به میزان $2 * 40000/3$ به آدرس اصلی اضافه می‌نماییم تا نمونه سیگنالی که ۲۴۰ درجه فاز آن جلوتر از سیگنال اصلی می‌باشد را بدست آوریم. این نمونه‌ها در ثبات‌های موقتی به نام‌های TR0, TR1, TR2 ذخیره می‌شوند. برای این که از دید زمان بندی دچار مشکل نشویم و تاخیری در ارسال نمونه‌ها به تراشه‌های مبدل دیجیتال به آنالوگ نداشته باشیم در لبه‌های پالس CP0 نمونه نظیر سیگنال اصلی را بدست می‌آوریم و در زمان CP1 نمونه نظیر سیگنال دوم سینوسی را یافته و در زمان CP2 نمونه نظیر سیگنال سوم سینوسی را می‌یابیم. در انتها در زمان CP3 تمامی نمونه‌ها را به مبدل‌های DAC ارسال می‌نماییم. اما باید به خاطر داشت که به هنگام افزودن اعداد $40000/3, 2 * 40000/3$ به آدرس سیگنال اصلی مجدداً امکان سرریز نمودن آدرس وجود دارد لذا در اینجا نیز آدرس باید اصلاح شود و در صورت بزرگتر شدن از 40000 این مقدار از آن کسر شود. این عمل توسط واحد Phase Correction انجام می‌گیرد. در واحد سخت افزاری سیگنال FAULT نیز لحاظ شده است. خروجی تراشه‌های DAC مابین $+2/5$ ولت تا $-2/5$ ولت می‌باشد.

نحوه ارسال عدد اولیه به ثبات DP به این ترتیب است که عددی ۱۳ بیتی به صورت سریال به تراشه FPGA ارسال می‌گردد. برای ارسال سریال باید خط SWR یک شده و روی لبه‌های بالا رونده اطلاعات را به صورت سریال روی خط SDA قرار داده و در لبه پایین رونده پالس ساعت SCL تراشه

بوده و به صورت خطی تغییر می‌نماید. این روش بسیار مناسب و کار آمد بوده و در سینتی‌سایزرها به کار می‌رود و با نام DDFS که مخفف Direct Digital Frequency Synthesizing موسوم می‌باشد.

ایرادی که در این روند وجود دارد این است که مقدار DP همواره مضربی از تعداد نمونه‌ها که ۴۰۰۰۰ می‌باشد نیست در این صورت باید چه کرد. همانطور که مشاهده می‌کنید برای $DP = 3$ این مشکل نمود می‌کند برای حل این مشکل دو راه وجود دارد.

۱- صفر کردن مجدد ثبات Phase .

۲- کسر نمودن مقدار 40000 از آدرس نمونه‌ای که آدرس آن از مقدار 40000 بیشتر شده است.

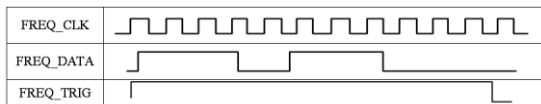
روش اول باعث می‌شود که دنباله شکل موج سینوسی حول زاویه ۳۶۰ درجه خراب شود. اما فرکانس سیگنال دقیق باقی می‌ماند. اما در روش دوم فرکانس شکل موج بازسازی شده برابر با $1/3$ فرکانس مورد نیاز می‌باشد زیرا که باید سه بار شکل موج تکرار شود تا نقطه آغازین سیگنال از آدرس صفر شروع شود. در واقع یک هارمونیک فرکانسی با دامنه ضعیف و فرکانس $1/3$ فرکانس سیگنال اصلی مدوله شده و مشاهده می‌شود.

وظیفه واحد Phase Control تصحیح این مشکل به روش اول یا دوم می‌باشد. این واحد از طریق دنیای بیرون قابل برنامه‌ریزی می‌باشد. همچنین ثبات DP توسط سه سیگنال SCL, SDA, SWR به صورت SPI قابل برنامه‌ریزی می‌باشد. البته هنگامی که اطلاعات به صورت سریال از طریق کامپیوتر وارد این ثبات شد به صورت اتوماتیک ثبات Phase نیز صفر می‌شود.

اما از آنجایی که باید سه سیگنال سینوسی با فرکانس‌های یکسان و اختلاف فاز ۱۲۰ درجه ساخته شود. هنگامی که آدرس

آنالوگ و سینوسی خروجی و نحوه کنترل اضلاع فاز در نظر گرفته شده است. این سه سیگنال از بورد واسط کاربر یعنی UIB وارد می‌شوند و اطلاعات ۱۳ بیتی را به صورت سریال در اختیار بورد DAC قرار می‌دهند. با هر بار تغییر فرکانس توسط کاربر، بورد UIB به صورت سریال با فعال کردن تریگر و در لبه بالا روند کلاک ۱۳ بیت اطلاعات را وارد می‌کند.

توالی کار به این صورت است که UIB ابتدا سیگنال $FREQ_CLK$ را صفر کرده و پس از آن $FREQ_TRIG$ را یک می‌کند. سپس کم ارزش ترین بیت اطلاعات را روی $FREQ_DATA$ گذاشته و یک پالس روی $FREQ_CLK$ گذاشته و یک پالس روی $FREQ_CLK$ تولید می‌کند. تراشه DAC با لبه پایین رونده $FREQ_CLK$ اولین بیت اطلاعات را برداشت می‌کند و این عمل تا ۱۳ بیت ادامه می‌یابد.



شکل ۸: نمودار زمانی عملکرد بورد.

خط $FREQ_CLK$ باید تا انتها ارسال ۱۳ بیت فعال باشد و همچنین نباید بیش از ۱۳ پالس ساعت فعال باشد. در اصل این سیگنال باید دقیقا در ۱۳ لبه پایین روند پالس ساعت فعال باشد. خروجی‌های S-R-T: این سه خروجی به صورت آنالوگ و با ولتاژ $-2.5V$ تا $+2.5V$ تولید می‌شوند. اطلاعات این سه خروجی با توالی خاصی از روی EEPROM برداشت می‌شود. این خروجی‌ها در اصل باید سه سیگنال سینوسی با اختلاف فاز 120° درجه را تشکیل دهند و فرکانس آنها هم همان ۱۲ بیت اطلاعات ارسالی توسط UIB می‌باشد و می‌تواند از 0.1HZ تا 400HZ با گام‌های 0.1HZ باشد.

ورودی FAULT: این ورودی حالت خطا را نشان می‌دهد و در صورت یک شدن سه خروجی S, R, T ولتاژ صفر را می‌گیرند. بلوک مدار تغذیه: ورودی‌های تغذیه بورد DAC دو ولتاژ $+12V$ و $-12V$ می‌باشد. تغذیه‌های مورد نیاز مدار دیجیتال $+5V$ و $+3.3V$ می‌باشد. تغذیه $-5V$ برای مدار D/A و تولید

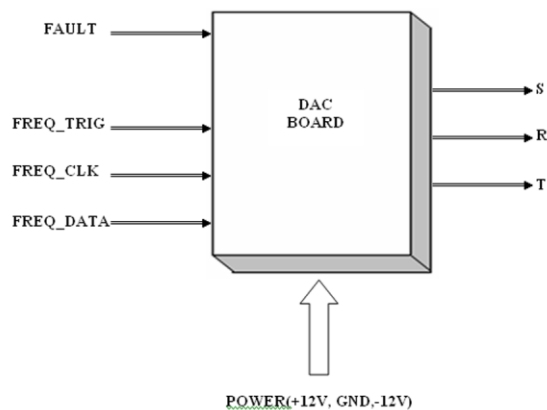
FPGA اطلاعات را از خط بر می‌دارد اطلاعات با بیت با ارزش کمتر آغاز می‌شود.

بیت سیزدهم مبین این است که واحد Phase Control برای اصلاح فاز از روش گرد کردن استفاده کند یا هنگامی که مقدار فاز از تعداد نمونه‌ها بیشتر شد فاز را صفر نماید. این بیت نقش کنترلی خواهد داشت.

۵- طراحی و ساخت بورد تولید کننده:

طرح دارای سه بلوک اصلی می‌باشد که عبارتند از مدار تغذیه، که تغذیه ورودی بورد $+12V$ می‌باشد. مدار FPGA، که شامل یک تراشه FPGA از نوع XCS10PC84 و مدار المان‌های ورودی و خروجی تست.

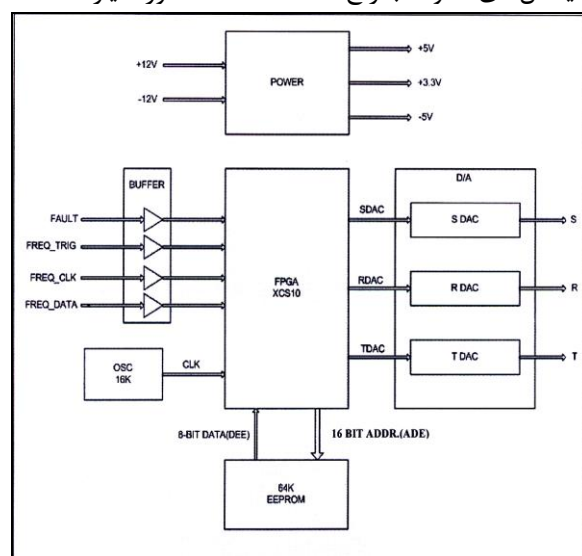
طراحی بورد DAC بر اساس استفاده از FPGA برای انجام عملیات تولید اطلاعات خروجی استوار است. تراشه FPGA اطلاعات مربوط به سیگنال‌های آنالوگ خروجی را از مکان‌های مناسب EEPROM (طبق الگوریتم) استخراج و روی ورودی D/A قرار می‌دهد. ورودی و خروجی‌های بورد DAC در شکل زیر به نمایش در آمده است.



شکل ۷: ورودی و خروجی‌های بورد.

تغذیه مورد نیاز بورد DAC شامل دو ولتاژ $+12V$ و $-12V$ می‌باشد. ورودی‌های مربوط به فرکانس سیگنال آنالوگ خروجی: سه ورودی برای دریافت ۱۳ بیت مربوط به فرکانس سیگنال

سیگنال‌های آنالوگ با رنج $-2.5V$ تا $+3.3V$ مورد نیاز است.



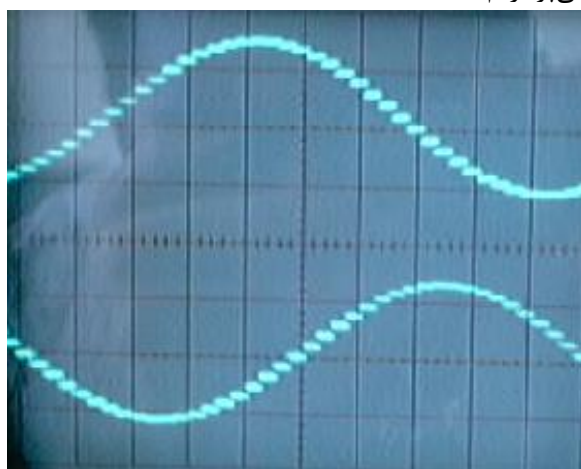
شکل ۹: شمای کلی بورد.

می‌شوند. بلوک D/A: این بلوک حاوی سه مدار مبدل D/A برای سه سیگنال آنالوگ خروجی S-R-T می‌باشد. سه گذرگاه ۸ بیتی به نام‌های SDATA, RDATA و TDATA از FPGA به سه تراشه D/A هشت بیتی DAQO800 به خروجی ولتاژ از نوع جریان است و توسط یک مدار OP-AMP به خروجی ولتاژ تبدیل و دامنه و آفست آن نیز توسط دو پتانسیومتر موجود برای هر کانال قابل تنظیم است.

پیشنهاد می‌گردد که جهت رسیدن به دقت بالا بتوان تنظیم فرکانس پالس ساعت مرجع را نیز در دست گرفت. همچنین سیگنال‌های تحریک جهت سوئیچ‌های قدرت را نیز تولید نمود. از آنجایی که در کنترل دور موتورهای القایی آسنکرون نسبت دامنه سیگنال‌های سینوسی به فرکانس امواج مهم می‌باشد. با استفاده از عمل شیف‌ت دادن می‌توان دامنه سیگنال‌های دریافتی از حافظه را بر توان‌های دو تقسیم نمود یا اینکه با استفاده از مدارات آنالوگ خارجی و پتانسیومترهای متغییر کنترل‌پذیر و تقویت‌کننده‌های عملیاتی دامنه سیگنال‌های سینوسی را نیز تحت کنترل در آورد. همچنین می‌توان مدار اندازه‌گیری دور موتور را در این تراشه قرار داد و با مقایسه دور واقعی با دور درخواستی عمل کنترل فرکانس و دامنه سیگنال‌های سینوسی را انجام داد. از دیگر موارد قابل ذکر پیاده‌سازی مدارات مولد پالس‌های PWM ذکر نمود

۶- عملکرد سیستم دیجیتال

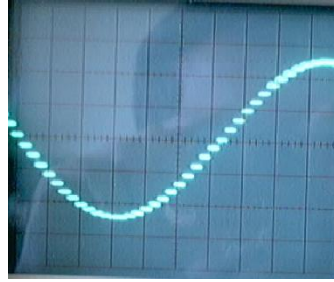
در ادامه به نمایش چند شکل موج خروجی مبدل‌های DAC می‌پردازیم:



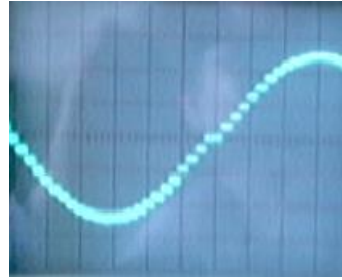
شکل ۱۰: نمایش همزمان دو فاز خروجی مدار.

برای تولید ولتاژ $+5V$ از رگولاتور LM7805 و برای تولید ولتاژ $+3.3V$ از رگولاتور LM3940 استفاده شده است. همچنین برای تولید ولتاژ $-5V$ از روی ولتاژ $-12V$ از رگولاتور LM3940 استفاده شده است. همچنین برای تولید ولتاژ $-5V$ از روی ولتاژ $-12V$ از رگولاتور LM7905 استفاده شده است. مدار FPGA: این مدار شامل یک تراشه FPGA از نوع XCS10PC84 و یک تراشه EEPROM از نوع XC18V256 و دو کانکتور JTAG برای هر یک می‌باشد. مدار طراحی شده است که هم بتوان از تراشه XCS10 معمولی با ولتاژ تغذیه $+5V$ و هم از تراشه XCS10XL با ولتاژ تغذیه $+3.3V$ استفاده کرد. برای این منظور تغذیه FPGA توسط جامپر J1 بین $+5V$ و $+3.3V$ قابل انتخاب است.

مدار EEPROM: یک تراشه EEPROM با ظرفیت 64KByte برای این طرح مورد نیاز است. برای این منظور از تراشه AT28C010 محصول شرکت ATMEL با PackagDIP32 استفاده شده است. این تراشه 128KByte ظرفیت داشته و در بورد DAC بیت پر ارزش آدرس آن GND شده است و بنابراین از 64KByte اول آن استفاده می‌شود. مدار بافرهای ورودی: چهار ورودی FREQ_CLK, FREQ_DATA, FAULT, FREQ_TRIG پس از ورود به بورد توسط تراشه 74HCT245 بافر و به FPGA وارد می‌شوند. همچنین ۳ بیت جهت تریگر و تحریک المان‌های IGBT لحاظ شده که برای آتش کردن کلیدها استفاده



شکل ۱۱: تولید شکل موج سینوسی به روش چرخشی .



شکل ۱۲: تولید شکل موج سینوسی به روش آغاز از نو .

مراجع

- [1] "Direct Digital Synthesis (DDS) using FPGA", [Online]
<http://www.hunteng.co.uk/howto/dds.htm>
- [2] J.Holtz, "Pulse width modulation for power electronic power conversion".
- [3] S. Mekhilef ., N.A. Rahim., "Three-phase PWM Inverter using Field Programmable Gate Array for Solar Conversion System." (372) Automation, Control, and Information Technology - 2002.
- [4] Manikandan. Jayachandran., "Control a three-phase full-wave rectifier with an FPGA ", [Online]
<http://www.embedded.com/showArticle.jhtml?articleID=193501030>
- [5] Le-Huy, H., "Digitally Controlled Thyristor Trigger Circuit," *Proceedings of the IEEE*, Vol 66, January 1978, pp. 89-91.
- [6] J. Edwards ., "DSP Based High Speed Real-Time Arbitrary Waveform Synthesis ", ICSPAT ., 806 - 810 ., 1999.
- [7] J.Wright, " Synthesising band limited waveform using wavetable," [Online]
<http://www.musicdsp.org/files/bandlimited.pdf> .
- [8] A. V. Oppenheim , R. W. Schafer ., Discrete Time Signal processing., USA ., pp 300-320 ., Prentice-Hall ., 1989.
- [9]-<http://www.xilinx.com>