

ساخت شکل موج‌های سینوسی سه فاز به روش DDFS مبتنی بر تراشه‌های FPGA.

پیام سنائی^۱، مهران عمادی^۲

گروه برق-الکترونیک دانشگاه آزاد اسلامی واحد نجف‌آباد

E-mail: paiam_sanaee@yahoo.com

چکیده

تولید شکل موج‌های سینوسی سه فاز کاربردهای فراوانی در سیستم‌های کنترلی و قدرت دارد. یکی از متدهای پایه و اساسی برای تولید مصنوعی شکل موج‌های متناوب روش DDSF می‌باشد. این متد در مقایسه با سایر روش‌ها به ویژه مدارات آنالوگ از مزایای راحتی تولید شکل موج‌های خاص فرکانس‌های پایین با دقت بالا، دقت فرکانسی و پایداری شکل موج ایجاد شده برخوردار است. برای پیاده‌سازی این متد از سیستم سخت‌افزاری مبتنی بر تراشه‌های خانواده FPGA استفاده نمودیم. این تراشه‌ها قابل برنامه‌ریزی با ظرفیت چند صد هزار گیت راهکارهای جدیدی را در طراحی سیستم‌های دیجیتال پیشرو قرار داده‌اند.

واژه‌های کلیدی: Wavetable – Direct Digital Frequency Synthesizers -FPGA.

مقدمه

بخش مرکزی و قلب هر سیستم اینورتر، مولد موج‌های PWM می‌باشد [1],[2],[3],[4]. هدف اصلی این مدارات تولید پالس‌های تحریک برای کلیدهای قدرت بر اساس فرکانس و دامنه سیگنال‌های سینوسی مورد درخواست می‌باشد. مدارات دیجیتال فرمان با هر درجه از پیچیدگی را می‌توان به صورت بهینه در یک تراشه FPGA قرار داد [5]. بدلیل استفاده از فیلترهای پایین‌گذر در تولید امواج متناوب سینوسی فرکانس پایین به روش آنالوگ، تأثیرات نامطلوبی بر فاز سیگنال‌های تولیدی مشاهده می‌شود. در حال حاضر برای سنتز و ساخت مصنوعی شکل موج‌های متناوب سینوسی به صورت دیجیتال راهکارهای متعددی وجود دارد. از این میان روش Wavetable جزء اساسی‌ترین راهکارها می‌باشد [6],[7]. بیش از سه دهه است که برای تولید شکل موج‌های متناوب سینوسی از

روش DDSF استفاده می‌شود. این متد برای اولین بار توسط Webb در دهه ۷۰ ارائه شد [8]. هدف اصلی این شیوه کنترل فرکانس یک نوسان‌ساز به صورت عددی بود. روش DDSF در مواردی استفاده می‌شود که نیاز به تغییر سریع فرکانس و یا دستیابی به فرکانس بسیار دقیق می‌باشد. در شکل ۱ ساختار یک DDSF نمایش داده شده است. اساس کار مبتنی بر یک انبار فاز می‌باشد که به ازای هر پالس ساعت به اندازه n واحد به آن افزوده می‌شود. این ثابت، فاز سیگنال سینوسی را تعیین نموده و تراشه حافظه‌ای را آدرس‌دهی می‌کند که حاوی مقادیر دامنه سیگنال سینوسی می‌باشد. این مقادیر از طریق یک تراشه DAC به ولتاژ آنالوگ تبدیل می‌شوند [9].

۱ - عضو هیات علمی گروه برق دانشگاه آزاد نجف‌آباد

۲ - عضو هیات علمی گروه کامپیوتر دانشگاه آزاد مبارکه

انباره مقدار اولیه آن صفر اختیار می‌شود.

نمونه برداری

هر سیگنال زمان پیوسته را می‌توان توسط مقادیر لحظه‌ای آن که در فواصل زمانی مساوی از هم قرار دارند بطور کامل نشان داد [12]. البته واضح است که شرایطی به ما تحمیل می‌شود. به سادگی می‌توان سیگنال را از این نمونه ها یا همان مقادیر لحظه‌ای بازیابی کرد که این خاصیت همان قضیه نمونه برداری است. به عبارت دیگر قضیه نمونه برداری پلی مابین سیگنال های زمان پیوسته و زمان گسسته است. کاربرد قضیه نمونه برداری در این است که ذخیره سازی و پردازش سیگنال های زمان گسسته بسیار آسان تر از پردازش سیگنال های زمان پیوسته می باشد. نکته مهم در این است که فرکانس نمونه برداری می بایست بیش از دو برابر بالاترین فرکانس موجود در شکل موج باشد، در این صورت می توان با عبور دادن سیگنال زمان گسسته از یک فیلتر پایین گذر سیگنال اصلی را بازیابی نمود. به هنگام بازسازی شکل موج اصلی از روی اطلاعات نمونه برداری شده از نگهدارنده با درجه صفر استفاده ه می نمایم [12]. یعنی مقدار نمونه جاری را تا لحظه نمونه بعدی حفظ می نمایم.

اصول طراحی

برای پیاده سازی این طرح به این ترتیب عمل نمودیم که یک دوره تناوب از شکل موج سینوسی را به صورت ۸ بیتی نمونه برداری نموده و در حافظه غیر فرار ذخیره کردیم.

$$Data[n] = 127.5 * (\sin(2\pi * n / 40000) + 1) \quad (4)$$

حوزه فرکانسی پوشش داده شده از ۰/۱ هرتز تا ۴۰۰ هرتز می‌باشد. بنابراین گام‌های فرکانسی ۰/۱ هرتز می‌باشد. روش متداول برای بازسازی سیگنال به این صورت می‌باشد که تعداد نمونه‌ها ثابت بوده و فقط زمان واقع شدن هر نمونه را در خروجی تغییر می‌دهیم. در این روش دوره تناوب سیگنال را می‌توان به صورت خطی تغییر داد اما علی‌رغم ثابت بودن تعداد نمونه‌ها به دلیل این که ارتباط بین دوره تناوب و فرکانس سیگنال خطی نبوده و به صورت هایپربولیکی می‌باشد. فرکانس سیگنال به صورت خطی تغییر نمی‌نماید. این مساله در شکل ۲ مشاهده می‌شود.

در قبال مزایای این روش در تولید شکل موج‌های متناوب، امواج تولید شده با این شیوه دارای اغتشاشات و هارمونیک‌های جعلی و ناخواسته‌ای می‌باشد. در این روش پس از هر بار وقوع سرریز، ثبات انباره فاز صفر می‌شود. به دلیل صفر شدن این ثبات هارمونیک‌های ناخواسته‌ای نیز در طیف فوریه سیگنال مشاهده می‌شود. این امر ناشی از اصلاح فاز بوده و اغتشاشات به صورت پریودیک ظاهر می‌شوند و باعث ظهور هارمونیک‌هایی در طیف فوریه سیگنال می‌شوند. در نتیجه طیف سیگنال ایجاد شده خالص نبوده و نوعی مدولاسیون نیز در شکل موج خروجی مشاهده می‌شود. همچنین از دیگر عوامل ایجاد اغتشاش کوانتایزه نمودن سیگنال الکتریکی می‌باشد.

در DDSF ها عموماً اغتشاش ناشی از دو عامل می‌باشد. ۱- توسط کوانتایزه نمودن دامنه سیگنال. ۲- توسط هارمونیک‌های ایجاد شده به دلیل اصلاح فاز. بسیاری از مولدهای شکل موج از صفر نمودن مجدد انباره فاز به هنگام وقوع سرریز استفاده می‌کنند [10]. افزایش دقت در فرکانس سیگنال ایجاد شده با افزایش تعداد بیت‌های ثبات انباره فاز امکان پذیر می‌باشد. البته برای کاهش پیچیدگی مدار می‌توان تعدادی از بیت‌های با ارزش کمتر انباره را کاهش داد [11].

$$Phase[n+1] = (Phase[n] + Dp) \bmod 2^{16} \quad (1)$$

$$Phase[n+1] = (Phase[n] + Dp) \text{ if } (Overflow = 1) \text{ then } Phase[n+1] = 0 \quad (2)$$

$$\begin{aligned} R &= \sin(Phase[n+1]) \\ S &= \sin(Phase[n+1] + 2\pi/3) \\ T &= \sin(Phase[n+1] - 2\pi/3) \end{aligned} \quad (3)$$

دو شیوه برای اصلاح فاز امکان‌پذیر می‌باشد. همان گونه که در رابطه (۱) مشاهده می‌نمایید. به هنگام وقوع سرریز انباره فاز همچنان به امر افزایش ادامه می‌دهد. در این صورت این امکان وجود دارد که اگر تعداد نمونه‌ها مضربی از میزان افزایش نباشد در دوره تناوب جدید مقدار اولیه ثبات انباره فاز صفر نباشد و این امر به معنای ایجاد هارمونیک‌های ناخواسته است. اما در رابطه (۲) امر اصلاح فاز یا آغاز از نو انجام می‌پذیرد و به محض وقوع سرریز در

روش اول باعث می‌شود که دنباله شکل موج سینوسی حول زاویه ۳۶۰ درجه خراب شود. اما فرکانس سیگنال دقیق باقی می‌ماند. اما در روش دوم فرکانس شکل موج بازسازی شده برابر با $\frac{1}{3}$ فرکانس مورد نیاز می‌باشد زیرا که باید سه بار شکل موج تکرار شود تا نقطه آغازین سیگنال از آدرس صفر شروع شود. در واقع یک هارمونیک فرکانسی با دامنه ضعیف و فرکانس $\frac{1}{3}$ فرکانس سیگنال اصلی مدوله شده و مشاهده می‌شود [11].

وظیفه واحد Phase Control تصحیح این مشکل به روش اول یا دوم می‌باشد. این واحد از طریق دنیای بیرون قابل برنامه‌ریزی می‌باشد. همچنین ثابت DP توسط سه سیگنال SCL, SDA, SWR به صورت SPI قابل برنامه‌ریزی می‌باشد. البته هنگامی که اطلاعات به صورت سریال از طریق کامپیوتر وارد این ثابت شد به صورت اتوماتیک ثابت Phase نیز صفر می‌شود.

اما از آنجایی که باید سه سیگنال سینوسی با فرکانس‌های یکسان و اختلاف فاز ۱۲۰ درجه ساخته شود. هنگامی که آدرس نمونه جاری بدست آمد با رجوع به حافظه محتویات خانه حافظه را در ثابتی به نام TR0 ذخیره می‌نماییم. سپس به میزان $\frac{40000}{3}$ به آدرس این نمونه اضافه می‌نماییم تا نمونه سیگنالی که ۱۲۰ درجه فاز آن جلوتر از سیگنال اصلی است را بدست آوریم. سپس به میزان $\frac{2*40000}{3}$ به آدرس اصلی اضافه می‌نماییم تا نمونه سیگنالی که ۲۴۰ درجه فاز آن جلوتر از سیگنال اصلی می‌باشد را بدست آوریم. این نمونه‌ها در ثابت‌های موقتی به نام‌های TR0, TR1, TR2 ذخیره می‌شوند. برای این که از دید زمان بندی دچار مشکل نشویم و تاخیری در ارسال نمونه‌ها به تراشه‌های مبدل دیجیتال به آنالوگ نداشته باشیم در لبه‌های پالس CP0 نمونه نظیر سیگنال اصلی را بدست می‌آوریم و در زمان CP1 نمونه نظیر سیگنال دوم سینوسی را یافته و در زمان CP2 نمونه نظیر سیگنال سوم سینوسی را می‌یابیم. در انتها در زمان CP3 تمامی نمونه‌ها را به مبدل‌های DAC ارسال می‌نماییم. اما باید به خاطر داشت که به هنگام افزودن اعداد $\frac{2*40000}{3}$, $\frac{40000}{3}$ به آدرس سیگنال اصلی مجدداً امکان سرریز نمودن آدرس وجود دارد لذا در اینجا نیز آدرس باید اصلاح شود و در صورت بزرگتر شدن از 40000 این مقدار از آن کسر شود. این عمل توسط واحد Phase Correction انجام

برای رفع این مشکل به این صورت عمل می‌نماییم که میزان افزایش فاز برای ایجاد هر فرکانس را متغیر لحاظ می‌نماییم. بنابراین تعداد نمونه‌ها برای بازسازی سیگنال نمونه برداری شده متغیر می‌شود. روند طراحی باید به گونه‌ای باشد که برای سیگنال سینوسی با بالاترین فرکانس حداقل تعداد نمونه‌ها از یک مقدار خاصی کمتر نشود. ما این تعداد نمونه‌ها را برای کاهش بالازدگی سیگنال و سادگی مدارات آنالوگ ۱۰ لحاظ می‌نماییم. با توجه به اینکه گام‌های فرکانسی $\frac{0}{1}$ هرترز می‌باشد پس حداقل فرکانس قابل ایجاد باید $\frac{0}{1}$ هرترز باشد و با برقراری یک تناسب به این نتیجه می‌رسیم که تعداد نمونه‌ها برای بازسازی سیگنال آنالوگی با فرکانس $\frac{0}{1}$ هرترز ۴۰۰۰۰ نمونه می‌باشد.

معماری کارت سخت‌افزاری

در شکل ۳ شمای کلی مدار مشاهده می‌شود. در واحد Phase incrementor از دو ثابت ۱۶ بیتی به نام‌های DP, Phase استفاده می‌شود. ثابت Phase به مثابه یک انباره عمل می‌کند و به ازای هر پالس ساعت CP0 به اندازه DP واحد به محتویاتش افزوده می‌شود. این ثابت وظیفه تعیین فاز نمونه شکل موج اصلی و آدرس آن در تراشه حافظه را بر عهده دارد. با توجه به مقادیر مختلف ثابت DP فرکانس سیگنال اصلی بدست می‌آید. با توجه به جداول ۵ و ۴ این امر محقق می‌شود.

همان‌گونه که مشخص است به ازای هر پالس ساعت میزان افزایش ثابت Phase به اندازه DP واحد می‌باشد. هر چه مقدار DP کوچکتر باشد زمان رسیدن به آخرین نمونه بیشتر شده و دوره تناوب سیگنال افزایش یافته و به عبارت دیگر فرکانس سیگنال کاهش می‌یابد. می‌توان ابراز داشت که مقدار فرکانس سیگنال بازسازی شده متناسب با مقدار ثابت DP بوده و به صورت خطی تغییر می‌نماید.

ایرادی که در این روند وجود دارد این است که تعداد کل نمونه‌ها (۴۰۰۰۰ نمونه) مضرب صحیحی از مقدار ثابت DP نباشد. در این صورت باید چه کرد؟ همان طور که در جدول ۶ مشاهده می‌کنید برای $DP = 3$ این مشکل نمود می‌کند برای حل این مشکل دو راه وجود دارد.

- ۱- صفر کردن مجدد ثابت Phase. روش آغاز از نو.
- ۲- کسر نمودن مقدار 40000 از آدرس نمونه‌ای که آدرس آن از مقدار 40000 بیشتر شده است. روش چرخشی.

می‌گیرد. نحوه ارسال عدد اولیه به ثبات DP به این ترتیب است که عددی ۱۳ بیتی به صورت سریال به تراشه FPGA ارسال می‌گردد. برای ارسال سریال باید خط SWR یک شده و روی لبه‌های بالا رونده اطلاعات را به صورت سریال روی خط SDA قرار داده و در لبه پایین رونده پالس ساعت SCL تراشه FPGA اطلاعات را از خط بر می‌دارد اطلاعات با بیت با ارزش کمتر آغاز می‌شود. بیت سیزدهم مبین این است که واحد Phase Control برای اصلاح فاز از روش گرد کردن استفاده کند یا هنگامی که مقدار فاز از تعداد نمونه‌ها بیشتر شد فاز را صفر نماید. این بیت نقش کنترلی خواهد داشت. شکل ۷ نحوه تبادل اطلاعات مابین کامپیوتر و واحد سخت‌افزاری را نشان می‌دهد. خروجی تراشه‌های DAC مابین ۲/۵+ و ۲/۵- ولت تا ۲/۵- ولت می‌باشد. در واحد سخت‌افزاری سیگنال FAULT نیز لحاظ شده است

طراحی و ساخت بورد تولید کننده

طرح دارای سه بلوک اصلی می‌باشد که عبارتند از مدار تغذیه، که تغذیه ورودی بورد ۱۲V+ می‌باشد. مدار FPGA، که شامل یک تراشه XCS10PC84 حافظه فقط خواندنی و مدارات بخش ورودی/خروجی طراحی بورد DAC بر اساس استفاده از FPGA برای انجام عملیات تولید اطلاعات خروجی استوار است. تراشه FPGA اطلاعات مربوط به سیگنال‌های آنالوگ خروجی را از مکان‌های مناسب EEPROM مطابق با الگوریتم استخراج و روی ورودی D/A قرار می‌دهد. ورودی و خروجی‌های بورد DAC در شکل ۸ به نمایش در آمده است. تغذیه مورد نیاز بورد DAC شامل دو ولتاژ ۱۲V+ و ۱۲V- می‌باشد. ورودی‌های مربوط به فرکانس سیگنال آنالوگ خروجی: سه ورودی برای دریافت ۱۳ بیت مربوط به فرکانس سیگنال آنالوگ و سینوسی خروجی و نحوه کنترل اصلاح فاز در نظر گرفته شده است. این سه سیگنال از بورد واسط کاربر یعنی UIB وارد می‌شوند و اطلاعات ۱۳ بیتی را به صورت سریال در اختیار بورد DAC قرار می‌دهند. با هر بار تغییر فرکانس توسط کاربر، بورد UIB به صورت سریال با فعال کردن سیگنال تحریک و در لبه بالا رونده پالس ساعت ۱۳ بیت اطلاعات را وارد می‌کند.

توالی کار به این صورت است که UIB ابتدا سیگنال FREQ_CLK را صفر کرده و پس از آن FREQ_TRIG را یک می‌کند. سپس کم ارزش‌ترین بیت اطلاعات را روی FREQ_DATA گذاشته و یک پالس روی خط FREQ_CLK ایجاد می‌کند. تراشه FPGA با لبه پایین رونده FREQ_CLK اولین بیت اطلاعات را برداشت می‌کند و این عمل تا ۱۳ بیت ادامه می‌یابد. خط FREQ_TRIG باید تا انتهای ارسال ۱۳ بیت فعال باشد و همچنین نباید بیش از ۱۳ پالس ساعت فعال باشد. در اصل این سیگنال باید دقیقاً در ۱۳ لبه پایین روند پالس ساعت فعال باشد. در شکل ۹ این امر نشان داده شده است. خروجی‌های S-R-T: این سه خروجی به صورت آنالوگ و با ولتاژ ۲.۵V- تا ۲.۵V+ تولید می‌شوند. اطلاعات این سه خروجی با توالی خاصی از روی EEPROM برداشته می‌شوند. این خروجی‌ها در اصل باید سه سیگنال سینوسی با اختلاف فاز ۱۲۰ درجه را تشکیل دهند و فرکانس آنها هم همان ۱۲ بیت اطلاعات ارسالی توسط UIB می‌باشد و می‌تواند از ۰.۱HZ تا ۴۰۰HZ با گام‌های ۰.۱HZ باشد. ورودی FAULT: این ورودی حالت خطا را نشان می‌دهد و در صورت یک شدن سه خروجی S, R, T ولتاژ صفر را می‌گیرند.

بلوک مدار تغذیه: ورودی‌های تغذیه بورد DAC دو ولتاژ ۱۲V+ و ۱۲V- می‌باشد. تغذیه‌های مورد نیاز مدار دیجیتال ۵V+ و ۳.۳V+ می‌باشد. تغذیه ۵V- برای مدار D/A و تولید سیگنال‌های آنالوگ با رنج ۲.۵- تا ۳.۳V+ مورد نیاز است. برای تولید ولتاژ ۵V+ از رگولاتور LM7805 و برای تولید ولتاژ ۳.۳V+ از رگولاتور LM3940 استفاده شده است. همچنین برای تولید ولتاژ -۵V از روی ولتاژ ۵V+ استفاده شده است. همچنین برای تولید ولتاژ ۵V- از روی ولتاژ -۱۲V از رگولاتور LM3940 استفاده شده است. همچنین برای تولید ولتاژ ۱۲V از رگولاتور LM7905 استفاده شده است. مدار FPGA: این مدار شامل یک تراشه FPGA از نوع XCS10PC84 و یک تراشه EEPROM از نوع XC18V256 و دو کانکتور JTAG برای هر یک می‌باشد. مدار طوری طراحی شده است که هم بتوان از تراشه XCS10 معمولی با ولتاژ تغذیه ۵V+ و هم از تراشه XCS10XL با ولتاژ تغذیه ۳.۳V+ استفاده کرد. برای این منظور تغذیه FPGA توسط جامپر بین ۵V+ و ۳.۳V+

عملکرد سیستم دیجیتال

در اشکال ۷ و ۸ و ۹ چند شکل موج خروجی نمایش داده شده است.

مراجع

- [1] J.Holtz., "Pulse width modulation for power electronic power conversion".
- [2] S. Mekhilef., N.A. Rahim., "Three-phase PWM Inverter using Field Programmable Gate Array for Solar Conversion System.", Automation, Control, and Information Technology. PP327. ,2002.
- [3] Manikandan. Jayachandran. , "Control a three-phase full-wave rectifier with an FPGA ", [Online] <http://www.embedded.com/showArticle.jhtml?articleID=193501030>
- [4] Le-Huy, H., "Digitally Controlled Thyristor Trigger Circuit," *Proceedings of the IEEE*, Vol 66, January 1978, pp. 89-91.
- [5] "Direct Digital Synthesis (DDS) using FPGA", [Online] <http://www.hunteng.co.uk/howto/dds.htm>
- [6] J. Edwards., "DSP Based High Speed Real-Time Arbitrary Waveform Synthesis", ICSPAT ., 806 - 810 ., 1999.
- [7] J.Wright, "Synthesising band limited waveform using wavetable,"[Online] <http://www.musicdsp.org/files/bandlimited.pdf> .
- [8] J.A. Webb, "Digital Signal Generator Synthesizer," US Patent No. 3654450, 1970.
- [9] V. F. Kroupa., "Direct Digital Frequency Synthesizers", IEEE Press, 1998.
- [10] J. Tierney, C.M.Rader, B.Gold. "A Digital Frequency Synthesizer", IEEE Trans. AudioElectroacoust, AU-19:48-57, 1971.
- [11] H. Nicholas, H. Samueli, "An analysis of the output spectrum of direct digital frequency synthesizers in the presence of phase-accumulator truncation," in *Proc. Annu. Frequency Control Symp.*, 1987, pp. 495-502.
- [12] A. V. Oppenheim , R. W. Schafer ., Discrete Time Signal processing., USA ., pp 300-320 ., Prentice-Hall ., 1989.

قابل انتخاب است.

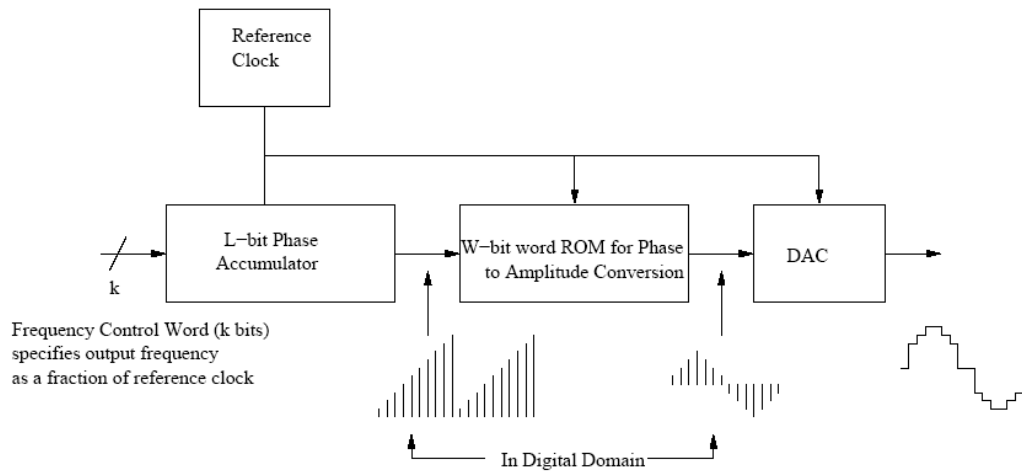
مدار EEPROM: یک تراشه EEPROM با ظرفیت 64KByte برای این طرح مورد نیاز است. برای این منظور از تراشه AT28C010 محصول شرکت ATMEL با PackageDIP32 استفاده شده است. این تراشه 128KByte ظرفیت داشته و در برد DAC بیت پر ارزش آدرس آن GND شده است و بنابراین از 64KByte اول آن استفاده می شود.

مدار بافرهای ورودی: چهار ورودی $FREQ_CLK$, $FREQ_TRIG$, $FAULT$, $FREQ_DATA$ پس از ورود به برد توسط تراشه 74HCT245 بافر و به FPGA وارد می شوند. همچنین ۳ بیت جهت تحریک المان های IGBT لحاظ شده که برای آتش کردن کلیدها استفاده می شوند.

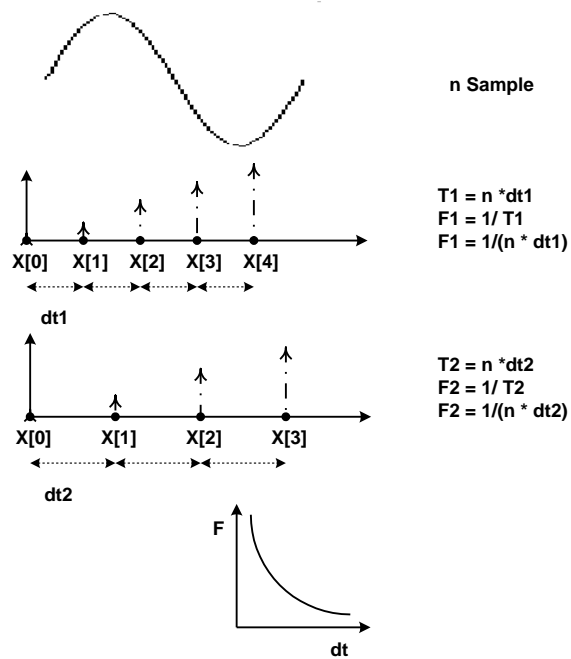
بلوک D/A: این بلوک حاوی سه مدار مبدل D/A برای سه سیگنال آنالوگ خروجی S-R-T می باشد. سه گذرگاه ۸ بیتی به نام های $TDATA$, $RDATA$, $SDATA$ از FPGA به سه تراشه D/A هشت بیتی DAQ0800 به خروجی ولتاژ از نوع جریان است و توسط یک مدار OP-AMP به خروجی ولتاژ تبدیل و دامنه و DC Offset آن نیز توسط دو پتانسیومتر موجود برای هر کانال قابل تنظیم است.

پیشنهاد می گردد که جهت رسیدن به دقت بالا بتوان تنظیم فرکانس پالس ساعت مرجع را نیز در دست گرفت. همچنین سیگنال های تحریک جهت سویچ های قدرت را نیز تولید نمود. از آنجایی که در کنترل دور موتورهای القایی آسنکرون نسبت دامنه سیگنال های سینوسی به فرکانس امواج مهم می باشد. با استفاده از عمل شیفت دادن می توان دامنه سیگنال های دریافتی از حافظه را بر توان های دو تقسیم نمود یا اینکه با استفاده از مدارات آنالوگ خارجی و

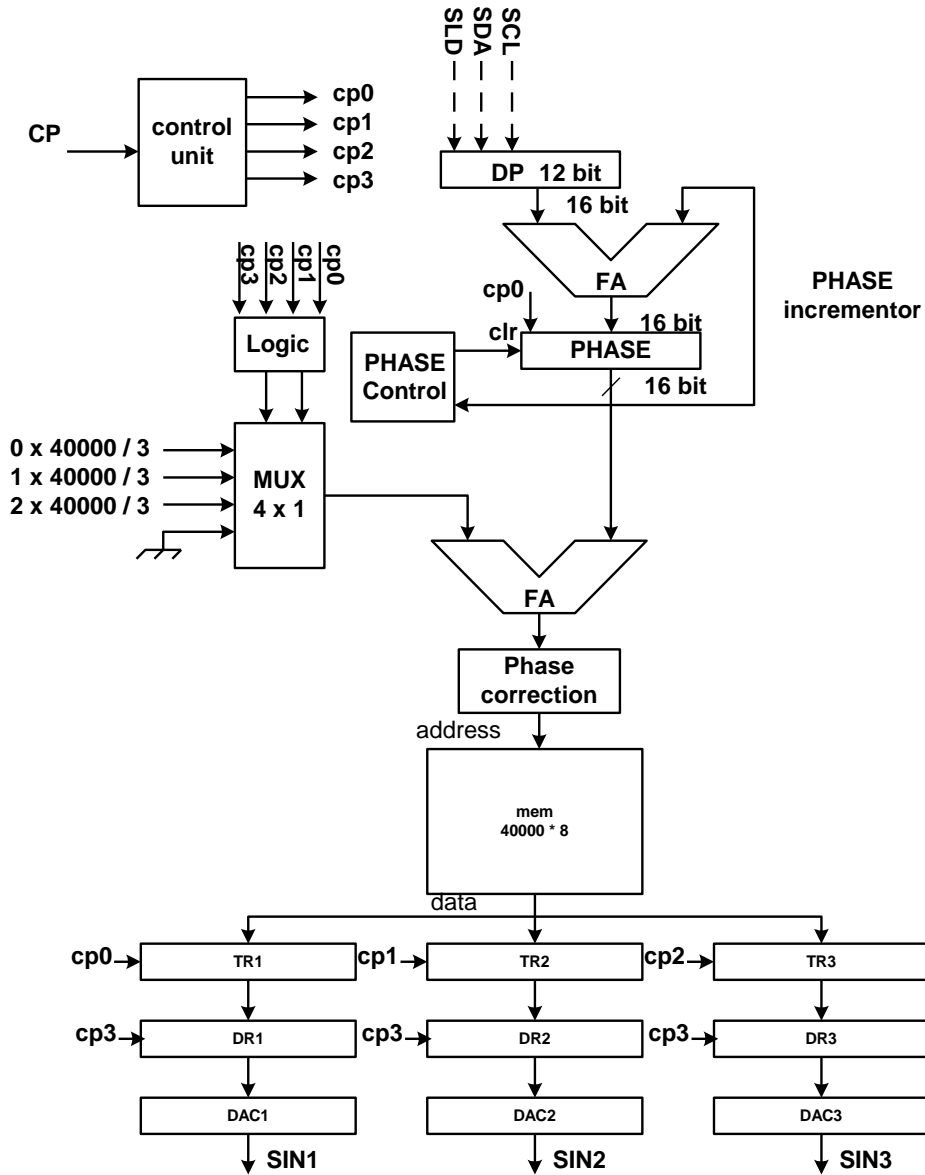
پتانسیومترهای متغیر کنترل پذیر و تقویت کننده های عملیاتی دامنه سیگنال های سینوسی را نیز تحت کنترل در آورد. همچنین می توان مدار اندازه گیری دور موتور را در این تراشه قرار داد و با مقایسه دور واقعی با دور درخواستی عمل کنترل فرکانس و دامنه سیگنال های سینوسی را انجام داد. از دیگر موارد قابل ذکر پیاده سازی مدارات مولد پالس های PWM ذکر نمود



شکل ۱- نمای یک DDSF.



شکل ۲- فواصل زمانی نمونه‌ها، نرخ ارسال نمونه‌ها.



شکل ۳- شمای کلی مدار.

	Phase						
	0	1	2	3	4	5	...
DP =1	0	1	2	3	4	5	...
DP =2	0	2	4	6	8	10	...
DP =3	0	3	6	9	12	15	...
DP =4	0	4	8	12	16	20	...
DP =5	0	5	10	15	20	25	...
DP =1200	0	1200	2400	3600	4800	6000	...
DP=4000	0	4000	8000	12000	16000	20000	...

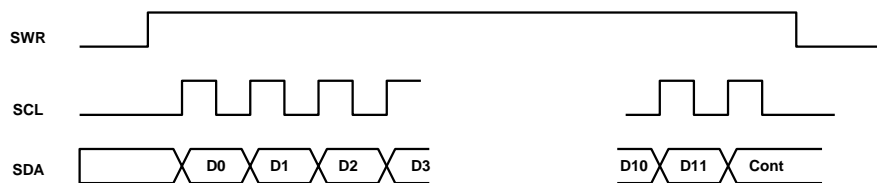
جدول ۴ - میزان افزایش ثبات Phase به ازای مقادیر مختلف ثبات DP.

Frequency	Sample	T	ΔT	ΔPhase
0.1 Hz	40000	10 S	250 μ s	1
400 Hz	10	2.5 ms	250 μ s	4000

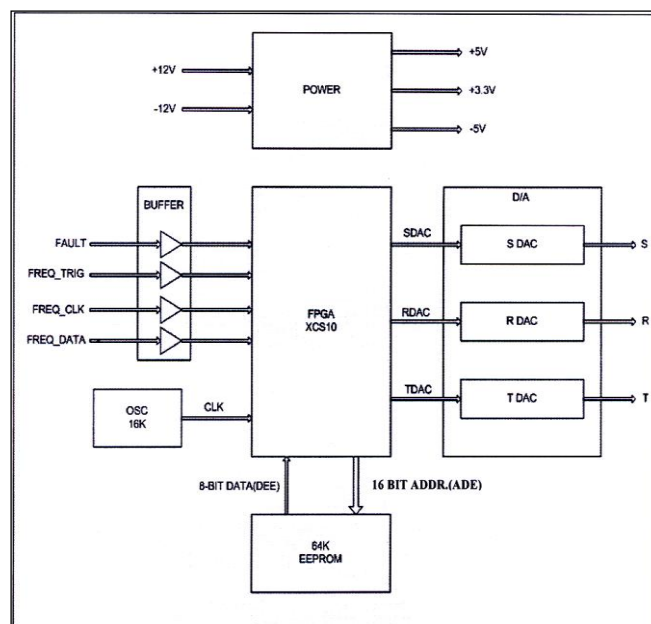
جدول ۵ - تعداد نمونه‌ها و میزان اختلاف فاز برای هر فرکانس.

	Phase						
	First priod				Second period		
DP=1	39996	39997	39998	39999	0	1	...
DP=2	39992	39994	39996	39998	0	2	...
DP=3	39990	39993	39996	39999	0	3	...
					2	5	...
DP=1200	36000	37200	38400	39600	0	1200	...
					800	2000	...
DP=4000	24000	28000	32000	36000	0	4000	...

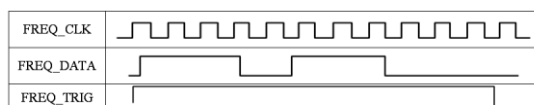
جدول ۶ - بررسی مقدار ثبات فاز Phase در انتهای دوره تناوب



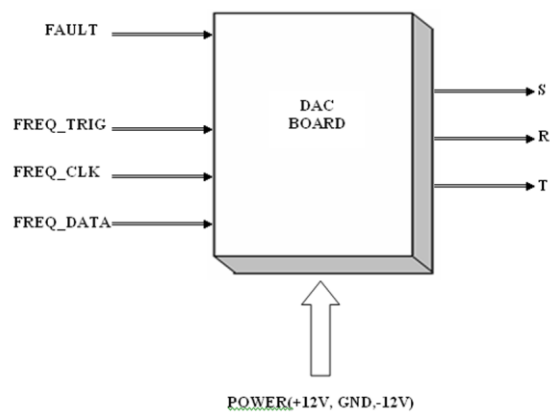
شکل ۷ - نحوه مقداردهی به ثبات DP و بیت کنترلی به تراشه FPGA.



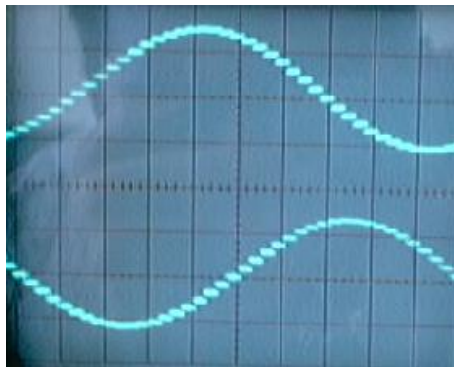
شکل ۸ - شمای کلی بورد.



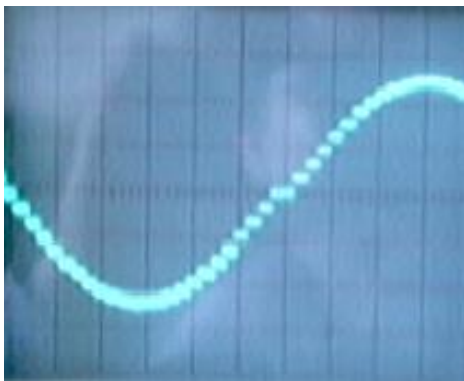
شکل ۹ - نمودار زمانی عملکرد بورد.



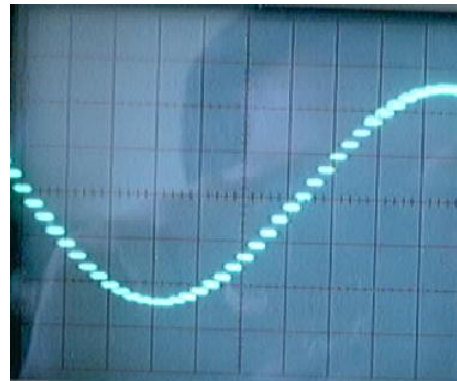
شکل ۱۰- ورودی و خروجی های بورد



شکل ۱۱- نمایش همزمان دو فاز خروجی مدار.



شکل ۱۳- تولید شکل موج سینوسی به روش آغاز از نو.



شکل ۱۲- تولید شکل موج سینوسی به روش چرخشی.