5th International Conference on
Electrical and Computer Engineering
With emphasis on native knowledge
leeec.Ir
February , 2018 , Tehran-Iran

طراحی مدار مقایسه گر با استفاده از گیت دوم ترانزیستورهایFINFET برای کاهش توان مصرفی و تأخیر مدار

نوید سبزواری[1]، محمد رضا یوسفی نجف آبادی[1و2*]

[1]دانشکده برق، واحد نجف آباد، دانشگاه آزاد اسلامی، نجف آباد، ایران

[2]مرکز تحقیقاتی ریزشبکه‌های هوشمند، واحد نجف آباد، دانشگاه آزاد اسلامی، نجف آباد، ایران

[*] **نویسنده مسئول: mr.yousefi@ieee.org**

چکیده: امروزه نیاز به مدارات تبدیل آنالوگ به دیجیتال با سرعت بالا و مصرف توان پایین ما را به سمت طراحی مدار مقایسه گر دینامیک با ماکزیمم سرعت و کمترین توان مصرفی سوق می دهد. نیاز به سرعت بالا و توان مصرفی پایین از یک سو و از طرفی فضای اشغالی کمتر و اندازه مدار نیز بسیار مهم است. طراحی مدار با تکنولوژی FINFET علاوه بر این که طراحی را در اندازه کوچک مقدور می سازد، باعث می شود تا با استفاده مناسب از قابلیت های این تکنولوژی و ساختار آن بتوان تاخیر در مدار را کم و سرعت آن را بالا برد و همچنین توان مصرفی را نیز به صورت چشمگیری کاهش داد. در این طراحی در ولتاژ 0.8v تاخیر مدار 270ps و توان مصرفی آن 17.1uw اندازه گیری شده است.

کلید واژه: تکنولوژی FINFET ، مقایسه گر، توان مصرفی پایین، تأخیر کم، سرعت بالا

۱-مقدمه

یکی از مهمترین بلوک های مدارهای تبدیل آنالوگ به دیجیتال (ADCs) ، مقایسه گر ها هستند که نیازمند سرعت بالا و تاون مصرفی پایین با داشتن حداقل فضای اشغالی می باشند. در طراحی های سابق برای بدست آوردن سرعت بالا تر نیاز به منبع ولتاژ تغذیه بیشتر بود و از این رو با این اعمال ولتاژ بیشتر، مصرف توان بیشتر را خواهیم داشت. فضای اشغالی بیشتری نیز برای دایکات ها نیاز خواهد شد. انجام عملیات مقایسه در ولتاژ پایین و در محدوده ولتاژ مود مشترک[1]، امری بسیار مهم در ساختار مقایسه گر ها و مبدل های آنالوگ به دیجیتال است.

تکنیک های زیادی در طراحی این گونه مدار ها به کار گرفته می شود از جمله تکنیک های supply boosting [2] و یا تکنیک body driven [3]، [4] و یا current mode، مورد استفاده قرار می گیرد.

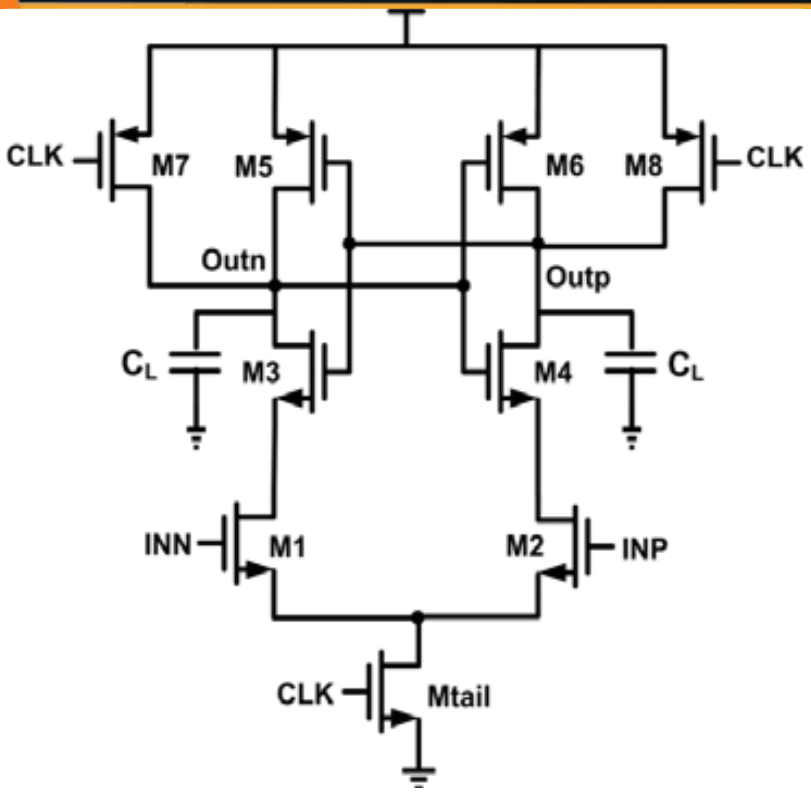
برای این که بتوان سرعت را بالا برد، باید تاخیر در مدار را کاهش داد ولی با انجام این کار به طور معمول توان مصرفی ما نیز افزایش پیدا می کند. در این طراحی سعی شده که با کاهش تاخیر و افزایش سرعت، توان مصرفی

مدار را نیز کاهش دهیم. در مدار های مقایسه گر پیشین، توان مصرفی پایین با ولتاژ پایین طراحی شده است اما تاخیر آن ها زیاد است، اما با طراحی جدید در این مقاله و استفاده مناسب از تکنولوژی FINFET و تکنیک های قابل استفاده در آن، توان مصرفی نیز همراه با تاخیر کم شده است که البته فضای اشغالی و اندازه ما نیز بسیار کوچک تر است. در ادامه چند نمونه از مدارهای پیشین طراحی شده در این زمینه که با تکنولوژی CMOS بوده بررسی می شود و مدار پیشنهادی با آن ها مقایسه می گردد.

۲-مقایسه گر های دینامیک

۲-۱-مقایسه گر دینامیک پیشین

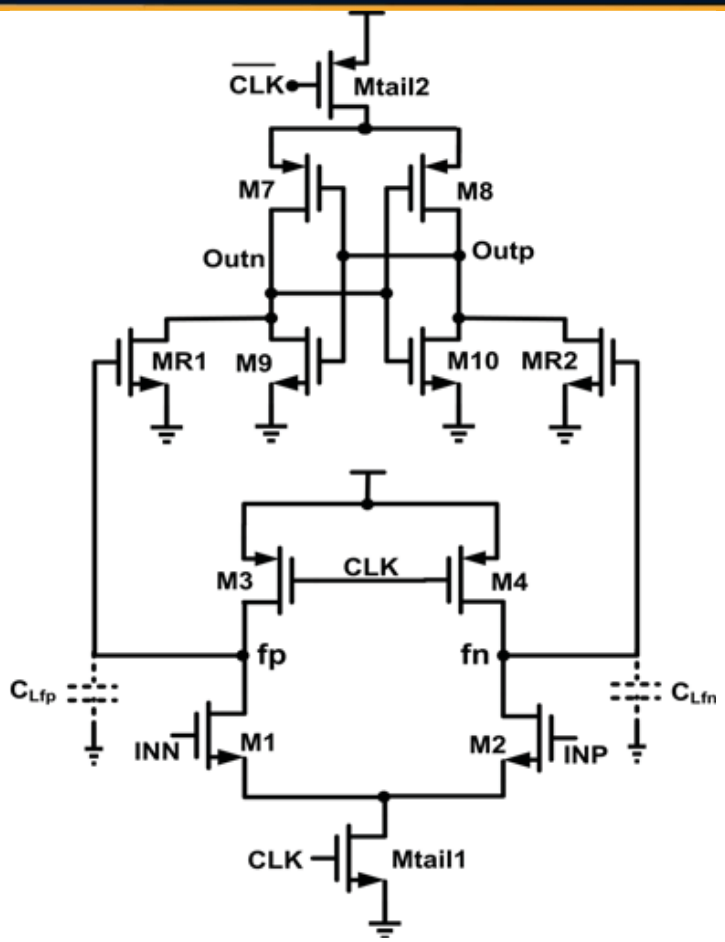
در مدار مقایسه گر ما باید دو سر ورودی را با هم مقایسه کنیم، اگر ورودی مثبت بیشتر بود خروجی ما V_{DD} شود و اگر ورودی منفی ما بیشتر بود خروجی ما صفر گردد. در این مدار که در شکل (۱) [5]، [1] آمده است، دو ورودی ما که ترانزیستور M_2 (مثبت-IP_N) و ترانزیستور M_1 (منفی-IN_N) می باشند. در صورتی که CLK یک باشد، مدار دینامیک ما عمل مقایسه را انجام می دهد. اگر $IN_N < IN_P$ باشد در نتیجه M_2 روشن خواهد شد و M_1 خاموش می شود. پس جریان p بیشتر از جریان N خواهد بود بنابراین جریان شاخه ی M_2,M_4,M_6 بیشتر است و جریان شاخه های M_1,M_3,M_5 کم می شود. با توجه به این که OUT_N به گیت M_4,M_6 متصل است و OUT_N رو به کاهش است و M_4 از نوع nMOS پس رو به خاموشی می رود و M_6 که از نوع pMOS است روشن می شود و به سمت V_{DD} می رود و خروجی را به V_{DD} می رساند. OUT_P به گیت M_5 که از نوع pMOS است وصل شده و آن را خاموش می کند و M_3 که nMOS است را روشن می کند. از OUT_N یک مسیر از M_3 به M_1 و M_{tail} داریم که به زمین وصل می شود، در حالتی که مقایسه انجام نمی شود و CLK صفر است مقادیر خروجی یک می باشد و اگر $IN_N > IN_P$ بود تمام موارد فوق بالعکس اتفاق خواهد افتاد و $V\ OUT_N > V\ OUT_P$ می شود.



شکل ۱: مدار مقایسه گر دینامیک پیشپین

۲-۲-مقایسه گر دینامیک۱ (double-tail)

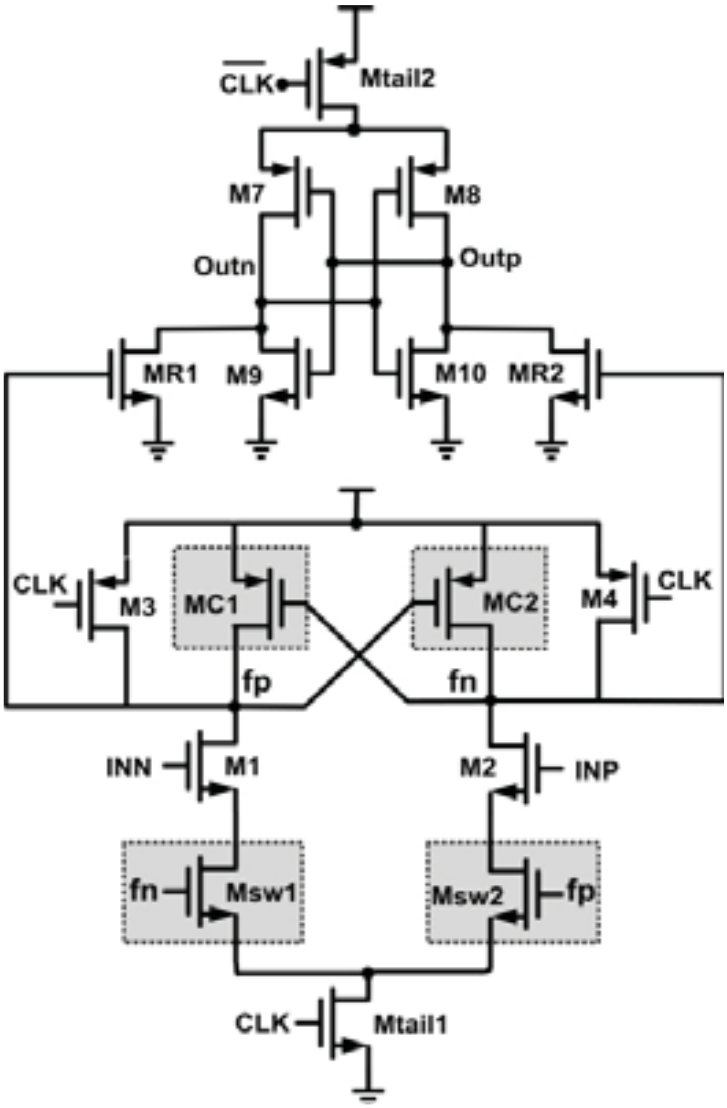
مدار شکل (۲)، [6] که با تغییراتی در مدار شکل (۱) طراحی شده در صورتی که $IN_N < IP_N$ باشد در نتیجه M_2 جریان بیشتری نسبت به M_1 دارد و نقطه ی fn به سمت صفر می رود و چون MR_2 به fn متصل است این ترانزیستور نیز به سمت صفر خواهد رفت و برعکس آن MR_1 روشن شده و به سمت صفر رفته و OUT_N را که به آن متصل است به سمت صفر میبرد و OUT_P که به V_{DD} وصل شده و M_8 و M_{10} نیز به OUT_N، که صفر می شود در نتیجه M_8 کامل روشن شده و OUT_P را به V_{DD} وصل می کند و یک می شود.باز هم مانند مدار قبل اگر $IN_N > IN_P$ بود همه چیز برعکس اتفاق می افتد.



شکل ۲: مدار مقایسه گر دینامیک۱ (double-tail)

۲-۳-مقایسه گر دینامیک ۲ (double-tail)

در مدار شکل (۳)، [7] دو ترانزیستور دیگر با M_3 و M_4 به صورت کراس کوپل موازی شده که باعث می شود در حالت مقایسه وقتی ورودی IN_P بیشتر است و fn کمتر می شود M_2 به سمت روشن شدن و چون به صورت کراس کوپل به ترانزیستور MC_1 وصل شده است که از نوع pMOS می باشد در نتیجه این ترانزیستور روشن می شود و fp را به سمت V_{DD} می برد. این کراس کوپل باعث می شود که fp سریعتر به V_{DD} برسد و fn به صفر برود. این کراس کوپل در جهت استفاده مناسب از فیدبک مثبت به کار گرفته شده است و سرعت مدار را بالا برده است. باید مد نظر داشت که M_1 همزمان با M_2 روشن است زیرا اختلاف ولتاژ دو سر ورودی بسیار کم است، بنا براین گره fp جریان دارد و با وجود M_1، گره fp مقاومت میکند تا به V_{DD} نرسد زیرا به M_1 که به زمین متصل و روشن است وصل شده است. حال دو ترانزیستور MSW_1 و MSW_2 را برای برطرف کردن این موضوع اضافه می کند. گیت MSW1 را به fn وصل کرده و چون MSW_1 از نوع nMOS است و fn به سمت صفر می رود، MSW_1 خاموش شده و جریان M_1 را قطع می کند تا به GND وصل نشود و همینطور بالعکس برای گره fp و ترانزیستور MSW_2 اتفاق می افتد.



شکل۳: مدار مقایسه گر دینامیک ۲(double-tail)

۳-مدار مقایسه گر پیشنهادی

در مدار مقایسه گر پیشنهادی با جایگزین کردن تکنولوژی FINFET 65nm علاوه بر تغییر اندازه مدار می توانیم با استفاده از بک گیت های ترانزیستورها و تغییر اندازه به موقع کانال آن سرعت مدار را افزایش و مصرف توان را کاهش دهیم.

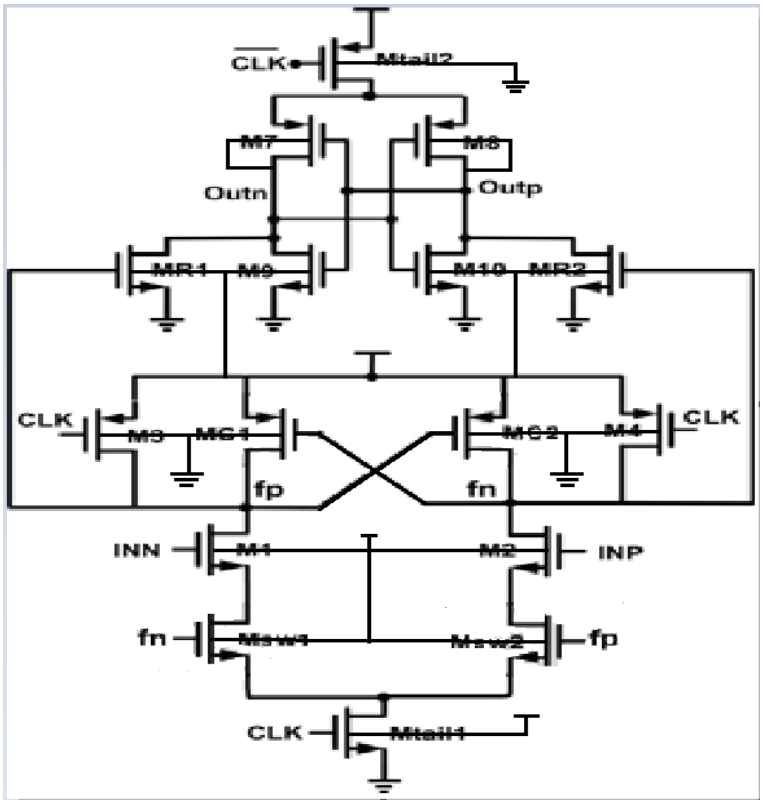
عملکرد مدار در مقایسه گر های پیشین به صورت کامل گفته شده است بنابراین به توضیح در مورد تغییرات وارد شده و چگونگی عملکرد آن ها می پردازیم. با توجه به این که برای مقایسه مدار پیشنهادی طراحی شده در تکنولوژی FINFET با مدار مقایسه گر قبلی که با تکنولوژی CMOS بوده نیاز به مداری طراحی شده در همین تکنولوژی داریم ولی متأسفانه مداری با این تکنولوژی در این رابطه و در حوزه آنالوگ در اختیار نبود، اکثراً مدارهای طراحی شده صرفاً با تغییر تکنولوژی ارائه شده اند و تغییر و طراحی در آن ها وجود نداشته است. به طور

کلی با استفاده از تکنولوژی FINFET و طراحی در حوزه آنالوگ کار زیادی انجام نشده و هنوز تکنولوژی نوپا و جدیدی است، لازم به ذکر است، مدار شکل (3) با تکنولوژی CMOS 180nm طراحی شده است.

در ترانزیستورهای FINFET با اتصال بک گیت به ولتاژ VDD و یا GND مدار می توان قدرت عملکرد مدار را کاهش یا افزایش داد، بدین شکل که اندازه کانال ترانزیستور می تواند کنترل شود. با اتصال بک گیت ترانزیستورها از نوع Nmos به VDD، ترانزیستور قوی تر می شود و بالعکس با اتصال بک گیت آن ها به GND، ترانزیستور ضعیف می گردد. به همین صورت در ترانزیستورهای از نوع Pmos وقتی بک گیت آن ها به GND متصل شود آن ترانزیستور در قوی ترین حالت خود عمل می کند و در صورت اتصال بک گیت به VDD، به ضعیف ترین حالت عملکرد خود می رسد. برای بهره گیری از بیشترین توان ترانزیستورها در مدار تمامی بک گیت های ترانزیستورها از نوع Nmos را به VDD و بک گیت ترانزیستورهای از نوع Pmos را به GND متصل می کنیم تا در قوی ترین حالت کارکرد خود در مدار قرار گیرند.

شکل (۴) مدار طراحی شده پیشنهادی را با تغییرات آن نشـان می دهد.

اتصال بک گیت ها در مدار به GND و VDD در مدار مقایسه گر پیشین و تغییر در ساختار آن در شکل (۴) قابل مشاهده و بررسـی می باشد.



شکل ۴: مدار پیشنهادی

مقادیر نتایج این مدار ها به صورت جدول(۱) نمایش داده شده است.

جدول ۱: مقایسه مقادیر مدار های مقایسه گر

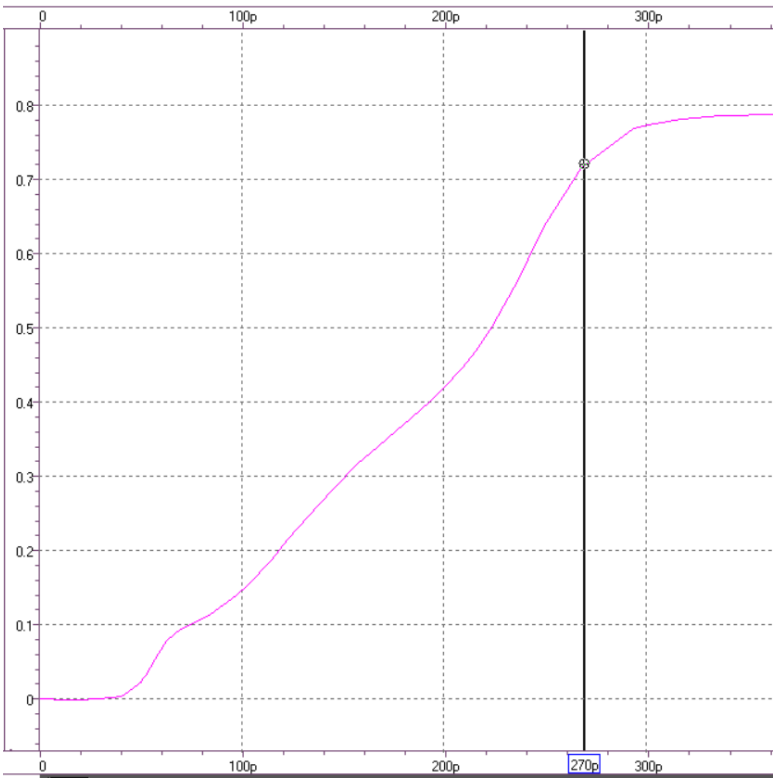
	تکنولوژی	توان مصرفی(w)	تاخیر(s)
1	CMOS 180 nm	329u	550p
2	FIN FET 65nm New design	17.1u	270p

مقادیر نمایش داده شده در ردیف دوم جدول (۱)، صرفاً با تغییر تکنولوژی CMOS به تکنولوژی FINFET و بدون تغییر در ساختار مدار و استفاده از بک گیت ها می باشد که می توان تفاوت استفاده از آن ها را در ساختار مدار مقایسه نمود.

همانطور که مشاهده می شود با توجه به جدول (۲) و مقایسه طراحی های مختلف، کاهش چشمگیر توان و تأخیر بدست آمده را می توان بررسی نمود.

در شکل (۵) پاسخ مدار پیشنهادی نمایش داده شده است که می توان مقدار تاخیر آن را از زمانی که نمودار به ۱۰٪ ولتاژ تا ۹۰٪ میرسد را بررسی و اندازه گیری نمود و مقدار تاخیر را بدست آورد.

توان محاسبه شده نیز در بازه ی زمانی است که نمودار از ۱۰٪ تا ۹۰٪ خود را طی کرده است.



شکل۵: اندازه گیری مقدار تاخیر

اختلاف ولتاژ بین ورودی هاV=5mvو VDD=0.8 v می باشد.

همان طور که مشاهده می شود، مقدار زمان تأخیر در نمودار تا 90% ولتاژ نهایی آن که 0.72v شده است را می توان با کرسر و تنطیم بر روی آن ولتاژ اندازه گیری نمود که مقدار 4.25n را به ما نشان می دهد. در این نقطه مقدار تأخیر 346ps است.

برای اندازه گیری مقدار توان در نمودارهای مقایسه گر با استفاده از دستور measure. می توان توان مصرفی میانگین را در فاصله زمانی که نمودار ولتاژ از 10% مقدار خود به 90% مقدار خود می رسد را اندازه گیری نمود. برای مثال مقدار توان مصرفی در فاصله زمانی 4.07ns تا 4.25ns را با استفاده از نرم افزار شبیه سازی Hspice اندازه گیری می کنیم که این مقدار برابر با 17.1uw می باشد.

۴-نتیجه‌گیری

این مقاله یک مدار مقایسه گر با طراحی جدید در تکنولوژی FINFET 65nm را با توان مصرفی بسیار پایین و تاخیر خیلی کم را با مدار های مقایسه گـر پیشین در تکنـــولوژی وCMOS 180nm و طراحی همان مدار ها در تکنولوژی FINFET مقایسه کرده و مزیت های آن را بررسی و معرفی نموده است. مدار مقایسه گر پیشنهادی با توان 17.1uw و تأخیر 270ps عملیات مقایسه را انجام می دهد. که توان مصرفی آن نسبت به مدار مقایسه گر پیشین در حدود 95% کاهش و تأخیر زمان مدار 51% کمتر شده است. با استفاده از تکنولوژی FINFET به جای تکنولوژی CMOS می توان در تمامی طراحی ها از جمله ADC ها سرعت مدار و توان مصرفی آن را بسیار کاهش داد که برای کارهای بعدی در این زمینه پیشنهاد می شود.

۶- مراجع

[1] B. Goll and H. Zimmermann, “A comparator with reduced delay time in65-nm CMOS for supply voltages down to 0.65,” *IEEE Trans.Circuits Syst. II, Exp. Briefs*, vol. 56, no. 11, pp. 810–814, Nov. 2009.

[2] A. Mesgarani, M. N. Alam, F. Z. Nelson, and S. U. Ay, “Supply boosting technique for designing very low-voltage mixed-signal circuits in standard CMOS,” in *Proc. IEEE Int. Midwest Symp. Circuits Syst. Papers*, pp. 893–896, Aug. 2010.

[3] B. J. Blalock, “Body-driving as a Low-Voltage Analog Design Technique for CMOS technology,” in *Proc. IEEE Southwest Symp. Mixed Signal Design*, pp. 113–118, Feb. 2000.

[4] M. Maymandi-Nejad and M. Sachdev, “1-bit quantiser with rail to rail input range for sub-1V modulators,” IEEE Electron. Lett, vol. 39, no. 12, pp. 894–895, Jan. 2003.

[5] B. Wicht, T. Nirschl, and D. Schmitt-Landsiedel, “Yield and speed optimization of a latch-type voltage sense amplifier,” IEEE J. Solid-State Circuits, vol. 39, no. 7, pp. 1148–1158, Jul. 2004.

[6] D. Shinkel, E. Mensink, E. Klumperink, E. van Tuijl, and B. Nauta, “A double-tail latch-type voltage sense amplifier with 18ps Setup Hold time,” in Proc. IEEE Int. Solid-State Circuits Conf., Dig. Tech. Papers, pp. 314–315, Feb. 2007.

[7] S. Babayan-Mashhadi and R. Lotfi, “Analysis and design of a low-voltage low-power Double tail comparator,” IEEE. Transaction on Very Large Scale Integration (VLSI) system, vol. 22, no. 2, pp. 343-352, Feb. 2014.

[8] A. Nikoozadeh and B. Murmann, "An analysis of latched comparator offset due to load capacitor," IEEE Trans. Circuits Sys. II, Exp. Briefs, vol. 53, no. 12, pp. 1398–1402, Dec. 2006.

[9] B. Goll and H. Zimmermann, "A 65nm CMOS comparator with modified latch to achieve 7GHz/1.3mW at 1.2V and 700MHz/47μW at 0.6V," in Proc. IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp. 328–329, Feb. 2009.

[10] [۱۰]S. U. Ay, "A sub-1 volt 10-bit supply boosted SAR ADC design in standard CMOS," Int. J. Analog Integr. Circuits Signal Process, vol. 66, no. 2, pp. 213–221, Feb. 2011.

[11] B. Goll and H. Zimmermann, "A 0.12 μm CMOS comparator requiring 0.5V at 600MHz and 1.5V at 6 GHz," in Proc. IEEE Int. Solid-State Circuits Conf. Papers, pp. 316–317, Feb. 2007.

[12] B. J. Blalock, "Body-driving as a Low-Voltage Analog Design Technique for CMOS technology," in Proc. IEEE Southwest Symp. Mixed Signal Design, pp. 113–118, Feb. 2000.

[13] A. Rabiei, A. Najafizadeh, and S. Morteza Ahmadi, "A new ultra low power, high speed dynamic comparator," 2015 23rd Iranian Conference on Electrical Engineering, 2015.

[14] S. Babayan-Mashhadi and M. Sarvaghad-Moghaddam, "Analaysis and design of dynamic comparators in ultra-low supply voltages," 22nd Iranian Conference on Eelectrical Engineering (ICEE), 2014.

[15] J. Kim, B. S. Leibowits, J. Ren, and C. J. Madden, "Simulation and analysis of random decision errors in clocked comparators," IEEE Trans. Circuits Sys. I, Reg. Papers, vol. 56, no. 8, pp. 1844–1857, Aug. 2009.

[16] A. lahariya and A. Gupta, "Design of low power and high speed dynamic latch comparator using 180 nm technology," signal processing, computing and control (ISPCC), 2015 international conference on Electrical Engineering, 2015.