سلول حافظه SRAM دوازده ترانزیستوری، مبتنی بر CNTFET با طول کانال ۲۲ نانومتر بر پایه اشمیت تریگر

علی نوروزی [۱]، مهدی آمون [۲]

[۱] کارشناسی ارشد، دانشکده مهندسی برق، واحد نجف آباد، دانشگاه آزاد اسلامی، نجف آباد، ایران،Ali.norouzi1984@gmail.com

[۲] استادیار، دانشکده مهندسی برق، واحد نجف آباد، دانشگاه آزاد اسلامی، نجف آباد، ایران، amoon.najafabad@gmail.com

چکیده

دراین مقاله با استفاده از ترانزیستورهای نانوتیوبی با طول کانال ۲۲نانومتر، یک سلول حافظه موقت استاتیک دوازده ترانزیستوری پیشنهاد شده است. در این مدار با استفاده از معکوس‌کننده اشمیت‌تریگری، احتمال ایجاد خطای خواندن، کاهش یافته است. همچنین با دوتایی‌کردن ترانزیستورهای بالاکش و پایین‌کش، حاشیه امنیت نویز مدار بهینه شده و توان نشتی نیز کاهش یافته است. زمان عملیاتهای خواندن و نوشتن، با جداسازی مسیرهای فرمان خواندن و نوشتن، همچنین تک خروجی کردن سلول در حالت خواندن و سرعت سوئیچ بالایی که ترانزیستورهای نانوتیوبی دارند، کنترل شده است. با شبیه‌سازی مدار توسط نرم‌افزار HSPICE در شرایط دمایی ۲۵درجه سلسیوس و تغذیه ۵۰۰ میلی‌ولت، حاشیه امنیت نویز مدار در حالت نگهداری، ۲۱۴ میلی ولت بدست آمده است و در حالت خواندن با توجه به قابلیت معکوس‌کننده اشمیت‌تریگری، حاشیه امنیت نویز مدار به مقدار۱۳۱ میلی ولت رسیده است. توان نشتی مدار در حالت ایستا، با توجه به کاربرد ترانزیستورهای نانوتیوبی تاحد ۰/۰۱۳ نانو وات کاهش یافته است. مقایسه نتایج شبیه‌سازی با دیگر مدارهای ارائه شده در مقالات دیگر، نشان می دهد که مدار پیشنهادی قابلیت خوبی درحفظ اطلاعات داشته وبا توجه به توان نشتی کمی که دارد، می‌تواند در مدارات الکترونیکی مجتمع با توان مصرفی پایین مورد استفاده قرار گیرد.

کلیدواژه

حافظه موقت استاتیکی، ترانزیستورهای نانوتیوب کربنی، سلول تک خروجی، اشمیت تریگر

مقدمه

با توجه به پیشرفت تکنولوژی، افزایش سرعت و کاهش توان مصرفی مدارات مجتمع، همواره جزء اهداف اصلی محققان بوده است و با توجه به اینکه کوچک‌سازی ابعاد، با کاهش مصرف انرژی و افزایش سرعت همراه می‌شود، رویکرد طراحان ساخت مدارهای CMOS با ابعاد کوچکتر بوده است. طبق قانون مور [۱] و کاهش تکنولوژی ساخت، تعداد ترانزیستورهای هر تراشه هر ۱۸ ماه دو برابر شده و لذا اندازه آنها نیز نصف می‌گردد. این قانون تاکنون مطابق با کاهش تکنولوژی ساخت مشهود بوده است ولی محدودیت‌های فیزیکی ساخت و همچنین عدم اطمینان‌پذیری، ادامه‌دار بودن این قانون را در ابهام قرار داده و در نهایت، کوچک‌سازی ابعاد با چالش‌هایی روبرو شده است [۱]. لذا محققان با هدف افزایش سرعت وکاهش توان، به دنبال راهکار دیگری به غیر از کوچک‌سازی تکنولوژی ساخت می‌باشند و در این راه، ترانزیستورهای جدیدتری با تکنولوژی‌های ساخت متفاوت پیشنهاد گردیده است که از آن جمله به ترانزیستورهای نانوتیوب کربنی با اثر میدانی [۲] می توان اشاره کرد.

نانوتیوب کربنی در سال ۱۹۹۱توسط ایجیما [۳] از کشور ژاپن کشف شد که با توجه به قابلیت‌هایی که داشت مورد توجه طراحان قرار گرفت. بعدها محققان توانستند با قرار دادن این نانو تیوب به عنوان کانال در ترانزیستور، نوع جدیدی از ترانزیستورها را بسازند. اولین ترانزیستور با این ساختار در سال ۱۹۹۸ توسط دِکر [۴] و همکارانش ارائه شد و این نوع ترانزیستور را ترانزیستورهای نانوتیوبی با اثر میدانی نام نهادند [۲].

[۱] Moor

[۲] Carbon nano tube field effect transistors (CNTFETs)

[۳] ijima

[۴] Cees Dekker

تاریخ دریافت: ۱۳۹۸/۱۰/۰۶ تاریخ پذیرش: ۱۴۰۰/۰۴/۱۴

عرض کانال در این نوع ترانزیستورها به قطر و تعداد نانوتیوبها و همچنین فضای خالی بین نانوتیوبها وابسته می‌باشد و با اتصال ولتاژ به گیت ترانزیستور، خلاف ترانزیستورهای ماسفت خاصیت وارونگی ایجاد نمی‌شود و حامل‌ها با توجه به محاسبات بالستیکی از نانوتیوبها عبور خواهند کرد و اتصال سوئیچ درین به سورس برقرار می‌شود. نحوه‌ی برقراری جریان باعث کاهش توان نشتی در حالت خاموشی و افزایش سرعت سوئیچ این نوع ترانزیستورها شده است [۴,۳].

علاوه بر قابلیتهای سرعت سوئیچ بالا و توان نشتی پایین، این امکان در این نوع ترانزیستورها وجود دارد که می‌توان، مدارهای طراحی شده قبلی با ترانزیستورهای سیلیکونی را به همان صورت استفاده کرد و لذا فقط لازم است ترانزیستورهای نانوتیوبی جایگزین ترانزیستورهای سلیکونی شوند. همچنین قابل تنظیم بودن ولتاژ آستانه در این نوع ترانزیستورها، طراحی مدارهای سه سطحی را آسان کرده است. تمامی این مزایا، منجر شده است که استقبال بیشتری از فن‌آوری نانوتیوب کربنی شود [۶,۵].

ذخیره‌سازی و نگهداری اطلاعات یک امر بسیار مهم در سیستم‌های دیجیتال نوین می‌باشد و از این بین حافظه‌های موقت در سرعت محاسبات نقش بسیار مهمی به عهده دارند. حافظه‌های موقت، حافظه‌های پرسرعتی هستند که اطلاعات ذخیره شده در آن با قطع شدن تغذیه از بین می‌رود و لذا به عنوان حافظه واسط و موقت حین محاسبات استفاده می‌شوند. این نوع حافظه ها دردو نوع پویا[۵] و ایستا[۶] قابل استفاده است. درحافظه‌های پویا تعداد ترانزستورهای کمتری استفاده شده و به همین خاطر دارای حجم بیشتری هستند ولی سرعت عملکرد کمتری نسبت به حافظه‌های استاتیک دارند. حافظه‌های استاتیکی با توجه به سرعت عملکردی بیشتری که دارند جایگاه خودرا در تراشه‌های پرسرعت حفظ کرده‌اند [۷].

مبنای طراحی سلول حافظه استاتیکی، سلول حافظه شش ترانزیستوری می‌باشد که اصول طراحی آن دو معکوس کننده پشت به پشت می باشد و اطلاعات به صورت تفاضلی در خروجی معکوس کننده ها ذخیره می‌شود. از طریق دو ترانزیستور دسترسی نیز، داده داخلی حافظه بر روی خطوط خروجی قابل دسترس می باشد.

سلول حافظه‌ی شش‌ترانزیستوری بصورت کافی در برابر نویز مقاوم نمی باشد و ممکن است اطلاعات ذخیره شده حین نگهداری و یا حتی خواندن و نوشتن، دچار تغییرات گردد. برای بررسی پایداری سلول حافظه پارامتر حاشیه امنیت نویز استاتیک[۷] ارائه گردیده است، تا آستانه نویز پذیری و پایداری سلول مورد برسی و ارزیابی قرار گیرد.

روشهای زیادی جهت اصلاح و بهبود سلول‌های شش ترانزیستوری توسط محققان با اهداف متفاوت ارائه شده گردیده است که از آن جمله می توان به استفاده از تکنولوژی های جدید با هدف بهینه‌سازی حاشیه امنیت نویز و کاهش توان نشتی مدار اشاره کرد.

در حافظه‌های بزرگ مقدار زیادی از توان در حالت بیکاری به صورت توان نشتی تلف می‌شود و با توجه به حجم بالای حافظه، ممکن است این مقدار درصد بالایی از توان کل مدارگردد. کارکردن در ناحیه آستانه و همچنین کاهش نشتی در حالت بیکاری برای سیستم‌هایی که محدودیت مصرف انرژی دارند، بسیار مهم است و چالشی برای طراحی محسوب می‌شود [۸]. توان نشتی، تاثیر منفی بروی حاشیه امنیت نویز مدار در حالت خواندن دارد و باعث ایجاد خطای خواندن، خواهد شد.

تاکنون مدارهای حافظه استاتیک زیادی، با هدف بهینه‌سازی سلول حافظه شش ترانزیستوری ارائه شده است. از این میان می‌توان به مدارهای ده ترانزیستوری مقاله [۹] اشاره کرد که در ولتاژ تغذیه نزدیک آستانه با تغییرات در مدارهای بالاکش و پایین‌کش، باعث افزایش قابل توجه حاشیه امنیت نویز مدار در حالت خواندن و نوشتن شده‌اند.

در مقاله [۱۰] با استفاده از گیت معکوس کننده مبتنی بر اشمیت تریگر، حاشیه امنیت نویز مدار بهبود داده شده است و با کوچک کردن تکنولوژی ساخت (۲۲نانومتر) و همچنین تک خروجی کردن مدار، توان مصرفی کاهش یافته است.

یکی از مشکلات سلول شش ترانزیستوری عدم قابلیت بهینه‌سازی حاشیه امنیت نویز خواندن و نوشتن به صورت همزمان می‌باشد بدین صورت که بهینه‌سازی هر کدام سبب خرابی دیگری می‌شود. با جداسازی مسیرهای خواندن و نوشتن نیز می توان توان دینامیکی و همچنین تاخیرهای مدار را کنترل کرد. در مقاله [۱۱] یک مدار هفت ترانزیستوری با این هدف معرفی شده است و با جدا کردن مسیرهای دیتا و همچنین سیگنالهای کنترلی خواندن و نوشتن از یکدیگر، باعث کاهش توان دینامیکی موقع نوشتن"1" و همچنین افزایش حاشیه امنیت نویز مدار در حالت خواندن شده است. درضمن استفاده از زمین مجازی[۸]، باعث کاهش جریان نشتی مدار نیز گردیده است.

مقاله [۱۲] چهار نمونه متفاوت حافظه با استفاده از ترانزیستورهای نانوتیوبی را بررسی و مقایسه کرده است. در این

---

[۵] Dynamic random access memory (DRAM)

[۶] Static random access memory (SRAM)

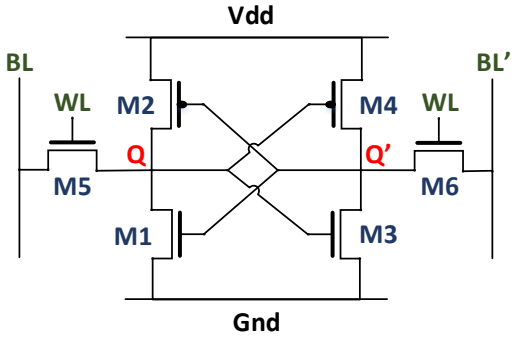
[۷] Static noise margin (SNM)

[۸] Virtual Ground

مدارها دوترانزیستور بین قطب‌های تغذیه و سلول اضافه شده است. موقع خواندن و نوشتن، مدار توسط این دو ترانزیستور فعال شده ولی درحالت بیکاری این ترانزیستورها غیرفعال بوده و باعث کاهش جریان نشتی و توان استاتیک مدار خواهند شد. مقاله [۱۳] یک مدارحافظه ده ترانزیستوری نانوتیوبی را معرفی می‌کند. در این مدار ترانزیستورهای بالاکش و پایین‌کش همزمان به صورت دوبل قرار داده شده است، لذا جریان نشتی با استفاده از این راهکار و همچنین مزایای ترانزیستورهای نانوتیوبی، بسیار کاهش یافته است.

سلول حافظه موقت استاتیکی

سلول شش ترانزیستوری معمولی مبنای طراحی سلولهای حافظه موقت استاتیکی بهینه شده می‌باشد. طراحان با ترفندها و روش های متفاوت، عملکرد این سلول را ارتقا داده‌اند. همانطور که از اسم آن مشخص است این سلول مطابق شکل (۱) دارای شش ترانزیستور می‌باشد و شامل دو گیت معکوس کننده CMOS دو ترانزیستوری پشت به پشت می‌باشد.



شکل ۱. مدار یک سلول SRAM شش ترانزیستوری معمولی [۱۴]

مسیرهای Bl,Bl' خطوط بیت نامیده شده و درگاه ورودی و خروجی دیتا به سلول می‌باشند، مسیرهای WL خطوط کلمه نامیده شده و در مواقع خواندن ویا نوشتن دیتا، در آدرس‌دهی سلول به کار گرفته می‌شود. همانطور که می بینید ترانزیستورهای M1,M2 یکی ازمدارهای معکوس کننده و ترانزیستورهای M3,M4 نقش معکوس کننده دوم را به عهده دارند. نقاط Q,Q' هرکدام خروجی یک گیت و ورودی گیت دیگر نیز می‌باشد، لذا این اتصال به صورت فیدبک عمل کرده و با تغییر سطح ولتاژ در هر کدام از گره‌ها باعث تغییر سطح ولتاژ معکوس در گره دیگر خواهد شد. ترانزیستورهای M5,M6 نیز ترانزیستورهای دسترسی مدار هستند که واسط مدار با خطوط بیت می‌باشند و با خطوط کلمه فعال شده و ارتباط داخلی سلول با خطوط بیت را فراهم می کنند [۷].

در این سلول ترانزیستورهای بالاکش PMOS را ترانزیستورهای بار و ترانزیستورهای پایین‌کش NMOS را ترانزیستورهای درایور می گویند [۷].

یک سلول حافظه موقت استاتیکی دارای سه مد عملیاتی خواندن، نوشتن و نگهداری می‌باشد. این مدهای عملیاتی با توجه به نیاز، با قطع و یا وصل بودن ترانزیستورهای دسترسی، فعال خواهند شد.

در مد خواندن، خطوط بیت توسط مدار پیش شارژ[۹] به اندازه مقدارمنطقی"1" پیش شارژ شده سپس با فعال‌کردن خطوط کلمه، ترانزیستورهای دسترسی روشن خواهند شد. در این شرایط، مقادیر ذخیره شده در نقاط Q,Q' به خطوط بیت منتقل می‌شوند، به این صورت که در گره‌ایی که دارای سطح منطقی "1" است در مقدار اولیه باقی می‌ماند و گره‌ایی که دارای سطح منطقی "0" است، باعث تخلیه بار خط بیت مجاور خواهد شد و به سطح ولتاژ منطقی "0" خواهد رسید [۷].

یکی از خطاهایی که ممکن است در حین عمل خواندن اتفاق افتد، تخلیه ولتاژ به صورت عکس است. به این صورت که ولتاژ پیش شارژ شده روی خط بیت، از طریق سلول تخلیه نشود و سطح ولتاژ گره افزایش پیدا کرده و وضعیت نامعلومی برای دیتای ذخیره شده در سلول بوجود آورد. به این اتفاق در اصطلاح برگشت خواندن نامیده می‌شود [۸].

برای جلوگیری از نوشتن تصادفی"1" درسلول، تنظیم اندازه‌ی دقیق ترانزیستورها لازم است و نسبت ترانزیستورهای بالاکش و پایین‌کش درگیت‌های معکوس‌کننده و همچنین ابعاد ترانزیستورهای دسترسی، اهمیت خاصی پیدا می‌کند.

در عمل نوشتن، همانند عمل خواندن، ابتدا سلول مورد نظر توسط مدار کدگذار آدرس[۱۰] انتخاب شده، سپس دیتای مورد نظر توسط مدار درایور نوشتن[۱۱] به صورت نامتقارن روی خطوط بیت قرار می‌گیرد. با روشن کردن ترانزیستورهای دسترسی، مقدار موجود روی خطوط بیت، درون سلول بارگزاری می‌شود [۱۵]. عمل نوشتن در واقع نوشتن مقدار منطقی"0" در سلول است، به عبارت دیگر این"0" است که درسلول نوشته می‌شود نه "1" و مقدار گیت معکوس‌کننده دیگر پس از نوشته شدن "0" به مقدار منطقی "1" تغییر وضعیت می‌دهد.

با توجه به این که ترانزیستور بالاکش مسئول نگهداری ولتاژ گره‌ی داخلی سلول در مقدارمنطقی "1" می‌باشد، لذا عمل نوشتن در واقع یک رقابت بین یکی از ترانزیستورهای دسترسی و یکی از ترانزیستورهای بار از نوع PMOS است. بدین ترتیب

[۹] Precharge circuit

[۱۰] Address decoders

[۱۱] Write Drivers

برای این که عمل نوشتن با موفقیت انجام شود، لازم است ترانزیستورهای دسترسی ازترانزیستور بار قوی‌تر باشند تا بتوانند در رقابت ایجادشده در حین عمل نوشتن پیروز شوند [۸].

در تکنولوژی ساخت نانومتری، پایداری در نگهداری دیتای ذخیره شده معضل بزرگی است. لذا پارامتری به نام حاشیه امنیت نویز به عنوان معیار پایداری دیتای ذخیره شده بروی سلول تعریف شده است. حاشیه امنیت نویز مدار، ماکزیمم ولتاژ نویز ایستائی است که می‌تواند بروی سلول اعمال شود، بدون اینکه دیتای ذخیره شده از دست برود. به عبارت دیگر مقدار ولتاژ نویزی است که باعث تغییر دیتای سلول در حین عملیات خواندن و یا حالت نگهداری می‌شود [۱۵].

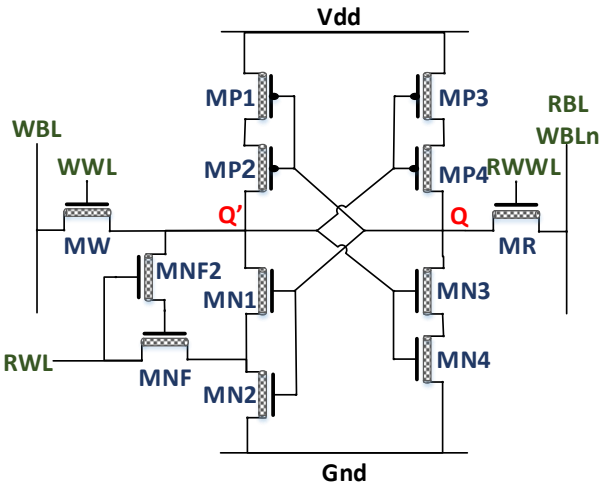
جهت محاسبه حاشیه امنیت نویز روش گرافیکی به نام نمودار پروانه‌ای[۱۲] رایج می‌باشد. در این روش در دو مرحله نمودار مشخصه‌ی نقاط داخلی سلول را نسبت به تغییرات گره مقابل بدست آورده، سپس با رسم نمودار مشخصه‌های هر دو گیت روی یک نمودار، یک منحنی پروانه‌ای شکل بدست خواهد آمد. طول ضلع بزرگترین مربعی که داخل باله‌های نمودار پروانه‌ای می‌توان رسم کرد، مقدار حاشیه امنیت نویز مدار خواهد بود [۱۵]. قابل ذکر است که حاشیه امنیت نویز رابطه مستقیمی به سطح ولتاژ تغذیه مدار نیز دارد و هر چه ولتاژ تغذیه کوچکتر شود، مقدار حاشیه امنیت نویز مدار کاهش می یابد.

در حالت نگهداری خطوط کلمه خاموش هستند و سلول با مدارهای خارجی در تماس نمی‌باشد، لذا در برابر نویز مصونیت بیشتری دارد و باله های پروانه نیز بزرگتر بدست خواهد آمد ولی در حالت خواندن نیاز است قبل از اعمال ولتاژ به نقاط، ترانزیستورهای دسترسی مربوط به خواندن روشن شده باشند.

در یک سلول ایده‌آل، نمودار مشخصه معکوس‌کننده‌ها متقارن است. ولی با توجه به فرآیند ساخت، اختلاف در ساختار ترانزیستورها مانند طول و عرض کانال ویا خازن اکسید و ... ایجاد می‌شود و در نهایت باعث عدم تقارن این نمودار خواهد شد. اگر سلول طراحی شده نامتقارن باشد یک حلقه از نمودار کوچکتر از دیگری خواهد شد که در این حالت حاشیه امنیت نویز مدار، برابر طول ضلع بزرگترین مربعی است که می‌توان داخل حلقه کوچکتر رسم کرد. همچنین در حالت ایده‌آل حاشیه امنیت نویز مدار برابر Vdd/2 می‌باشد، زیرا در این حالت نمودار مشخصه‌های مدار بیشترین شیب را خواهند داشت و مربع داخلی بزرگترین حالت را پیدا می‌کند.

قابل ذکر است حاشیه امنیت نویز در حالت نوشتن نیز وجود دارد ولی احتمال خطای این وضعیت بسیار کمتر از دو حالت دیگر است لذا معمولاً پایداری سیستم در وضعیت‌های نگهداری و خواندن بررسی می‌شود.

مدار پیشنهادی



شکل ۲. مدار پیشنهادی دوازده ترانزیستوری ترکیبی معکوس‌کننده‌های اشمیت‌تریگری و دوبل شده، برمبنای نانوتیوب- 12CNT(FS-ST)

مدار پیشنهادی که در این مقاله ارائه شده است در شکل (۲) قابل مشاهده می‌باشد این مدار شامل یک سلول ۱۲ ترانزیستوری است که مطابق با سلول شش ترانزیستوری معمولی از دو گیت معکوس کننده تشکیل شده است. یکی از این گیت‌ها یک معکوس‌کننده دوبل شده است که شامل ترانزیستورهای MP3,MP4,MN3,MN4 می‌باشد و گیت معکوس کننده دیگر ساختار اشمیت تریگری دارد و شامل ترانزیستورهایMP1,MP2,MN1,MN2,MNF,MNF2 می‌باشد، ترانزیستورهای MW,MR نیز ترانزیستورهای دسترسی مدار می‌باشند.

در مدار پیشنهادی، مسیرهای خواندن و نوشتن مستقل از یکدیگر می‌باشند که مسیر با نامهای RBL جهت خواندن از سلول می‌باشد و مسیر با نام WBL خط بیت نوشتن مدار می‌باشد. در حالت خواندن سلول به صورت تک خروجی عمل کرده و این عمل توسط سیگنالهای RWL,RWWL مدیریت می‌شود. در حالت خواندن ترانزیستورهای فیدبک MNF,MNF2 و همچنین ترانزیستور دسترسی MR توسط این سیگنالها روشن شده که در این شرایط، از طریق ترانزیستور MR فقط ورودی گیت اشمیت تریگری با خط بیت ارتباط پیدا کرده و تغییر وضعیت را ایجاد می کند.

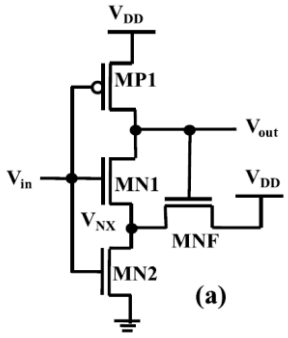
خروجی گیت معکوس‌کننده مبتنی بر اشمیت تریگر با هرسطح ولتاژی در ورودی، تغییر نخواهد کرد و احتمال خطای خواندن

---

[۱۲] Butterfly Curve

کمتر می‌شود، لذا باعث بهینه‌تر شدن شیب نمودار مشخصه‌ها شده و حاشیه امنیت نویز بهبود پیدا خواهد کرد.

مدارهای زیادی به عنوان مدار معکوس‌کننده مبتنی بر گیت‌های اشمیت تریگری طراحی شده است، ولی اکثراً تعداد ترانزیستورهای زیادی دارند. در شکل (۳) یکی از مدارهای نمونه‌ی چهار ترانزیستوری بکار رفته در سلول پیشنهادی، قابل مشاهده است.

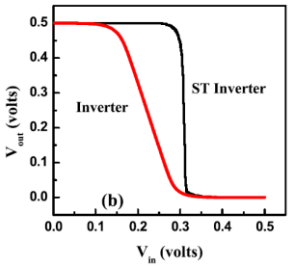


شکل ۳. مدار معکوس کننده اشمیت تریگری [۱۰]

این مدار، مشابه مقایسه‌کننده‌ایی است که دارای یک فیدبک مثبت است، عمل می‌کند. موقعی که ولتاژ خروجی منطق"1" باشد، ترانزیستور فیدبک (MNF) روشن شده و ولتاژ در گره Vnx برابر Vdd-Vth می‌شود. در این شرایط حداقل ولتاژ مورد نیاز در ورودی برای سوئیچ شدن خروجی ، بسیار بالاتر از سطح ولتاژ آستانه می‌باشد.

وقتی دیتا در ورودی از منطق "0" به منطق"1" تغییر سطح ولتاژ داشته باشد، ترانزیستور فیدبک سعی در حفظ خروجی گیت در سطح منطقی "1" می‌کند، لذا موقع خواندن دیتا از سلول، از ایجاد خطای خواندن جلوگیری می‌کند و حاشیه امنیت نویز خوبی نیز بدست می‌آید [۱۶,۱۰].

در شکل(۴) خروجی گیت معکوس کننده اشمیت تریگری(ST-Inverter) با گیت معمولی متقاطع (Inverter) مقایسه شده است. با توجه به بررسی خروجی‌ها می‌توان دریافت که خروجی گیت اشمیت تریگری، شیب بیشتری دارد و درسطح ولتاژ ورودی بالاتری، خروجی آن تحریک شده است. این نتایج باعث افزایش حاشیه امنیت نویز در سلول حافظه موقت استاتیک مبتنی بر این نوع معکوس کننده خواهد شد.



شکل ۴. نمودار مشخصه مدار شکل (۳) و مقایسه با نوع متقاطع معمولی[۱۰]

در سلول پیشنهادی، گیت معکوس کننده‌ی دوم، به صورت دوبل شده استفاده شده است لذا در حالت ایستا توان نشتی کاهش پیدا خواهد کرد و حاشیه امنیت نویز مدار در حالت نگهداری را بهبود می دهد.

اضافه‌کردن ترانزیستور بالاکش، حاشیه امنیت نویز مدار در حالت خواندن را بهبود می دهد. ولی با توجه به اینکه ترانزیستورهای بالاکش تاثیر به سزایی در امر نوشتن دیتا در سلول دارند، دوبل شدن این ترانزیستور، باعث پیچیدگی در نوشتن دیتا خواهد شد. قابل ذکر است که در این روش زمانهای خواندن و نوشتن نیز افزایش می‌یابد [۹].

مدار معکوس کننده اشمیت تریگری شکل(۳) با توجه به ارتباط میانی که فیدبک گیت با منبع تغذیه دارد، در حالت ایستا نشتی زیادی دارد. لذا جهت کاهش نشتی دو راهکار دیگر به این مدار اضافه شده است. همانگونه که قابل مشاهده می باشد، ترانزیستور بالاکش معکوس کننده اشمیت تریگری نیز همانند معکوس کننده مقابل به صورت دوبل شده استفاده شده است. همچنین ترانزیستور فیدبک در معکوس‌کننده اشمیت‌تریگری به جای اتصال به VDD، به فرمان خواندن (RWL) متصل شده است. همچنین ارتباط فیدبک با خروجی معکوس‌کننده نیز توسط ترانزیستور MNF2 ایزوله شده است. با این راهکار مدار فیدبک معکوس کننده اشمیت تریگری کنترل پذیر شده است و لذا فقط در حالت خواندن فعال خواهد شد و در حالت نگهداری این معکوس‌کننده نیز دقیقا همانند گیت معکوس کننده دوبل شده عمل می‌کند.

دوبل کردن ترانزیستورهای بالاکش و پایین‌کش با توجه به افزایش تعداد ترانزیستورهای مسیرهای خواندن و نوشتن باعث بزرگ تر شدن خازن های مسیر می شود و تاخیرهای مدار را افزایش خواهد داد ولی با توجه به اینکه ترانزیستورهای نانوتیوبی سرعت سوئیچ بالاتر نسبت به ترانزیستورهای ماسفتی دارند، این مشکل را جبران خواهد کرد. همچنین دوبل کردن ترانزیستورهای بالاکش و پایین‌کش باعث افزایش مقاومت مسیر بین پلاریته های تغذیه خواهند شد لذا جریان نشتی مدار کاهش خواهد یافت که با توجه به نشتی کمی که ترانزیستورهای نانوتیوبی دارند، توان نشتی مدار به صورت مضاعف کاهش خواهد یافت.

یکی از معضلات طراحی انتخاب سایز ترانزیستورهای دسترسی می‌باشد زیرا بهینه سازی یک عملیات باعث اختلال در عملیات دیگر خواهد شد. به عنوان مثال هرچه مقاومت ترانزیستورهای دسترسی موقع نوشتن کمتر باشد بهتر می‌توان دیتای مورد نظر را داخل سلول نوشت و زمان عمل نوشتن کم خواهد شد ولی ممکن است باعث خطای خواندن شده و به جای اینکه دیتای داخل سلول به خطوط بیت انتقال پیدا کند، دیتای

ذخیره شده در سلول تغییر پیدا کرده و حالت نامشخصی به وجود آید. با جدا سازی این مسیرها می‌توان به صورت جداگانه سایز ترانزیستورها را انتخاب کرد به گونه‌ایی که اختلالی در عملکرد عملیات دیگر به وجود نیاید. همانطور که گفته شد در مدار ارائه شده از راهکار مجزا کردن مسیرهای دسترسی به سلول استفاده شده است، به این صورت که از طریق سه خط کنترل کلمه، عملیاتهای خواندن و نوشتن انجام خواهد شد. موقع عملیات خواندن خطوط کلمه RWL,RWWL فعال می‌شود و موقع عملیات نوشتن نیاز است خطوط کلمه WWL,RWWL فعال شوند. با جدا کردن مسیرهای خواندن و نوشتن از یکدیگر انتخاب سایز ترانزیستورها راحت‌تر شده و همچنین می‌توان مدیریت بهتری بروی زمان نوشتن داشت.

در سلول پیشنهادی به نحوی مسیرهای خواندن ونوشتن مدیریت شده است که سلول در حالت خواندن، به صورت تک خروجی عمل کند. سلول حافظه‌ی تک خروجی، یکی از کارآمدترین راه‌ها، برای کاربردهای توان محدود می‌باشد. این روش، نشتی مدار و توان سوئیچ را کاهش می‌دهد و همچنین ابعاد سلول کوچکتر خواهد شد.

خطوط بیت غالباً از بار خازنی بسیار بالایی برخوردارند، مخصوصاً در سیستم‌هایی که تکنولوژی ساخت زیر ۱۰۰نانومتر دارند، هنگام عملیات خواندن یا نوشتن توان مصرفی دینامیکی قابل توجهی مصرف می‌شود. مدل تک‌خروجی، نیمی از کل توان اکتیو مورد نیاز برای سوئیچ خطوط بیت را کاهش می‌دهد [۱۰].

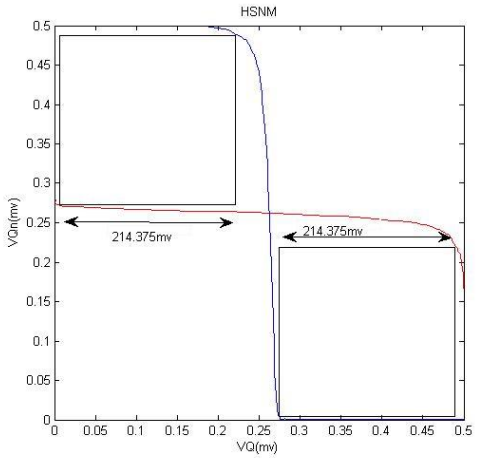
با شبیه سازی مدار، با مدل ارائه شده ترانزیستورهای ناتیوب کربنی، توسط دانشگاه استندفورد آمریکا [۱۷] و تغذیه ۰/۵ ولت دردمای کاری ۲۵ درجه سلسیوس، به نتایج قابل توجهی خواهیم رسید که در ادامه آورده شده است.

قابل ذکر است ابعاد همه‌ی ترانزیستورهای نانو کربنی مدار، یکسان درنظر گرفته شده است و به صورت زیر انتخاب شده است:

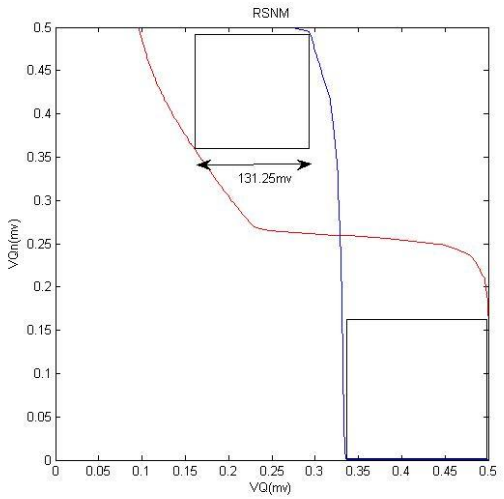
Lch=22e-9, Lgeff=100e-9, Lss=22e-9, Ldd=22e-9, Kgate=16, Tox=4e-9, Csub=40e-12, Vfbp=0, Dout=0, Sout=0, Pitch=20e-9, n1=19, n2=0, tubes=1

جدول ۱. نتایج شبیه سازی سلول پیشنهادی دوازده ترانزیستوری 12CNT(FS-ST)

12CNT(FS-ST) SRAM **CNTFET** based	
Delay read (ps)	۲/۴
(Write '0') (ps) Delay	۷/۲۶
Delay (Write '1') (ps)	۱۲/۹۸
Leakage power (nw)	۰/۰۱۳
RSNM (mv)	۱۳۱/۲۵
HSNM (mv)	۲۱۴/۳۷



شکل ۵. نمودار پروانه‌ای مدار پیشنهادی دوازده ترانزیستوری در حالت نگهداری 12CNT(FS-ST)



شکل ۶. نمودار پروانه‌ای مدار پیشنهادی دوازده ترانزیستوری در حالت خواندن 12CNT(FS-ST)

مقایسه با دیگر مدارهای پیشنهاد شده در مقالات دیگر

جهت درک بهتر نتایج نیاز است پارامترهای خروجی مدار را با نمونه های مشابه دیگر مقایسه نمود. با توجه به اینکه ساختار مدار ارائه شده در منبع [۱۰] نیز اشمیت تریگری است و تکنولوژی ساخت برابر ۲۲nm دارد، گزینه خوبی برای مقایسه می‌باشد. در جدول (۲) نتایج خروجی مدار دوازده ترانزیستوری پیشنهاد شده این مقاله و همچنین مدار یازده ترانزیستوری منبع[۱۰] آورده شده است.

همان طور که قابل ملاحظه است در مدار یازده ترانزیستوری منبع [۱۰] با توجه به دارا بودن زمین شناور، نشتی عالی درحد مدارپیشنهاد شده با ترانزیستورهای نانوتیوبی دارد، ولی این

قابلیت باعث افزایش زمانهای تاخیر شده است. قابل ذکر است زمین شناور باعث کاهش حاشیه امنیت نویز مدار در حالت نگهداری خواهد شد که در این مقاله بررسی نشده است.

جدول ۲. نتایج مقایسه شبیه سازی سلول پیشنهادی دوازده ترانزیستوری ترکیبی و سلول یازده ترانزیستوری منبع [۱۰]

Parameters	ST11T 2016 [۱۰]	Proposed 12CNT
Delay read	۱ns	۲/ ۴ps
Delay (Write '0')	۵۰ ps	۷/ ۲۶ ps
Delay (Write '1')	۱ns	۱۲/ ۹۸ ps
Leakage power	~۰/ ۰۱ nw	۰/ ۰۱۳ nw
RSNM	۱۳۰mv	۱۳۱/ ۲۵ mv
HSNM	-----	۲۱۴/ ۳۷ mv

مقاله [۱۸] یک مدار هشت ترانزیستوری برپایه ترانزیستورهای نانوتیوب کربنی پایانه فلزی(شاتکی) با تکنولوژی ۳۲ نانومتر پیشنهاد داده است که ترفند ایزوله‌سازی خط خواندن را نیز به کار برده است. در این مدار تاخیر مد خواندن با وجود شاتکی بودن ترانزیستورها ۲۴/۷ps بدست آمده است ولی در مدار پیشنهاد شده این مقاله، با توجه به اینکه که بر مبنای ترانزیستورهای نانو تیوبی با تکنولوژی ساخت ۲۲نانومتر می باشد، این مقدار ۲/۴ps بدست آمده است که بسیار کمتر می باشد. زمانهای تاخیرنوشتن این مدار کمتر از زمانهای تاخیر مداردوازده ترانزیستوری پیشنهادی بدست آمده است، زیرا در مدار پیشنهادی این مقاله، ترانزیستورهای بالاکش و پایین‌کش مدار، توان نشتی را در حالت نگهداری کاهش داده‌اند، ولی باعث ایجاد تاخیر در نوشتن نیزخواهند شد. توان نشتی این مدار با توجه به نوع ترانزیستورها (شاتکی) بالا می‌باشد وحدود یک نانووات بدست آمده است ولی نشتی مدار پیشنهادی ما در حد پیکووات بدست آمده است.

جدول ۳. نتایج مقایسه شبیه سازی سلول پیشنهادی دوازده ترانزیستوری ترکیبی و سلول هشت ترانزیستوری منبع [۱۸]

Parameters	12CNT Proposed	8T- CNT [۱۸]
Delay read	۲/۴Ps	۲۴/۷ps
Delay Write	۷/۲۶ps	۶/۷۹ps
Leakage power	۰/۰۱۳nw	۱/۳۲nw
HSNM	۲۱۴/۳۷mv	۲۱۰/۳mv

در منبع [۱۲] نیز بروی طراحی چند سلول حافظه موقت استاتیک مبتنی بر ترانزیستورهای نانوتیوب کربنی با تکنیک ترانزیستورهای Sleep کار شده است. (ولتاژ تغذیه مدارها در شبیه‌سازی‌های این مقاله ۰/۹ ولت و تکنولوژی ساخت ۳۲ نانومتر می باشد.)

نتایج شبیه‌سازی مقاله‌ی[۱۲] به همراه نتایج مدار پیشنهاد شده‌ی این تحقیق، در جدول (۴) آورده شده است.

جدول ۴. نتایج مقایسه شبیه سازی سلول پیشنهادی ۱۲ ترانزیستوری ترکیبی و نتایج شبیه سازی منبع [۱۲]

	Leakage Power (nw)	Read Delay (ps)	Write Delay (ps)	SNM (mV)
Stacked sleep 9T CNTFET [۱۲]	۰/۳۶۹	۹/۴۷	۸/۶۱	۱۵۷
Data-retention sleep10T CNTFET[۱۲]	۱/۸۹	۷/۹۵	۷/۲۴	۷۳/۸۱
Forced stack sleep 10T CNTFET[۱۲]	۳/۷۳	۱۱/۹	۱۰/۳	۱۹۳
Sleep 8T CNTFET[۱۲]	۰/۳۲۵	۷/۸۱	۶/۹۰	۳۲/۲۳
Proposed 12T CNTFET	۰/۰۱۳۴	۲/۴۰	۱۲/۹۸ ۷/۲۶	۲۱۴/۳۷

همانطور که در جدول (۴) قابل مشاهده است، مدار پیشنهادی با توجه به اضافه شدن ترانزیستورهای بالاکش وپایین‌کش و همچنین ولتاژ تغذیه کمتری که دارد، توان نشتی کمتری نسبت به مدارهای پیشنهادی مرجع [۱۲] دارد. همچنین همانگونه که انتظار می‌رود ترانزیستورهای Sleep باعث کاهش حاشیه امنیت نویز می‌شود و این امر در نتایج شبیه سازی مرجع [۱۲] قابل مشاهده می‌باشد. تاخیرنوشتن مدار در مرجع بالا تقریباً برابر با مقادیر مدار پیشنهادی ۱۰ ترانزیستوری ما می باشد ولی زمان خواندن مدار پیشنهادی دوازده ترانزیستوری ما کمتر می‌باشد.

منبع [۱۹] نیز یک مدار نه ترانزیستوری مبتنی بر ترانزیستورهای نانوتیوبی با تکنولوژی ساخت ۱۶ نانومتر را معرفی کرده است که علاوه بر ترفندهای جداسازی مسیرهای خواندن و نوشتن توانسته با توجه به مدیریت سیگنالهای فرمان خواندن و نوشتن حاشیه امنیت نویز عالی در حالت خواندن بدست بیاورد. در جدول (۵) ضمن مقایسه، نتایج بدست آمده، آورده شده است.

جدول ۵. نتایج مقایسه شبیه سازی سلول پیشنهادی ۱۲ ترانزیستوری ترکیبی و نتایج شبیه سازی منبع [۱۹]

Parameters	12CNT(FS-ST) Proposed	9T- CNT [۱۹]
Delay read (ps)	۲/۴	۹۲
Delay (Write '0')(ps)	۷/۲۶	۸/۲
Delay (Write '1')(ps)	۱۲/۹۸	۶۴
Leakage power (nw)	۰/۰۱۳	۱/۷۸
RSNM (mv)	۱۳۱/۲۵	۳۴۵

با توجه به اینکه در مدار منبع [۱۹] ولتاژ تغذیه یک ولت می‌باشد، حاشیه امنیت نویز خیلی بالاتری (حدود ۳۴٪ ولتاژ تغذیه) را بدست آورده است. (حاشیه امنیت نویز مدار پیشنهادی کار ما حدود ۲۶درصد سطح ولتاژ تغذیه می باشد) ولی با وجود اینکه تکنولوژی ساخت بسیار کوچکتری دارد، در

مقایسه با کار ما تاخیرهای مدار افزایش چشمگیری داشته است.

منبع [۲۰] یک مدار نه ترانزیستوری با تکنولوژی ۶۵نانومتر با هدف کاهش توان تشتی را معرفی کرده است که در این مدار از ترفندهای جداسازی فرمانهای خواندن و نوشتن و همچنین تک خروجی کردن استفاده کرده است. نتایج شبیه سازی این مدار با ولتاژ تغذیه ۰.۶ولت در جدول(۶) جهت بررسی آورده شده است. قابل مشاهده است که مدار پیشنهادی این مقاله توان نشتی خیلی کمتری دارد و همچنین سرعت خواندن و نوشتن آن بسیار بالاتر است.

جدول ۶. نتایج مقایسه شبیه سازی سلول پیشنهادی ۱۲ ترانزیستوری ترکیبی و نتایج شبیه سازی منبع [۲۰]

Parameters	12CNT(FS-ST) Proposed	9T SRAM [۲۰]
Delay read (ps)	۲/۴	۳۲
Delay (Write '0')(ps)	۷/۲۶	۱۵۰
Leakage power (pW)	۱۳	۲۴۰
RSNM (mv)	۱۳۱/۲۵	۲۲۵

منبع [۲۱] نیز یک مدار حافظه ۱۱ترانزیستوری با تکنولوژی ۴۰نانومتری را پیشنهاد کرده است که اصول طراحی آن کاهش توان نشتی و افزایش پایداری مدار می‌باشد. در این مدار جهت مدیریت بهتر، خطوط خواندن و نوشتن و همچنین فرمان‌های خواندن و نوشتن از یکدیگر جداسازی شده است. در ضمن با اضافه کردن ترانزیستور Sleep توانسته نشتی مدار را کنترل نماید. جدول(۷) نتایج شبیه سازی این مدار آورده شده است، قابل مشاهده است که ترانزیستور Sleep تاثیر زیادی بروی توان نشتی داشته است ولی سرعت عملکرد سلول زیاد نمی‌باشد.

جدول ۷ نتایج مقایسه شبیه سازی سلول پیشنهادی ۱۲ ترانزیستوری ترکیبی و نتایج شبیه سازی منبع [۲۱]

Parameters	12CNT(FS-ST) Proposed	11T SRAM [۲۱]
Delay read (ps)	۲/۴	۴۸
Delay (Write '0')(ps)	۷/۲۶	۷۸
Leakage power (pW)	۱۳	۲.۱

نتیجه گیری

با توجه به اهمیت حافظه‌های موقت استاتیکی در مدارهای پیچیده دیجیتالی و همچنین مشکلاتی که سلول شش ترانزیستوری پایه به همراه دارد، لازم است این سلول چه از لحاظ عملکرد و چه از لحاظ توان مصرفی بهینه‌سازی شود. راهکارهای زیادی توسط محققان ارائه شده است، که در این تحقیق روشهای دوبل کردن ترانزیستورهای بالاکش و پایین‌کش و استفاده ازگیت‌های اشمیت‌تریگری به همراه تک‌خروجی کردن مدار و همچنین جدا کردن مسیرهای فرمان خواندن ونوشتن، استفاده شده است.

با دوبل کردن ترانزیستورهای بالاکش و پایین کش حاشیه امنیت نویز مدار در حالت نگهداری بهبود داده شد و همچنین نشتی مدار نیز کاهش یافت. با استفاده از گیت اشمیت تریگری نیز توانستیم حاشیه امنیت نویز مدار را در حالت خواندن بهبود دهیم. با جدا سازی مسیر های فرمان نیز مدیریت مد های عملیاتی راحت تر می گردد. در مدار پیشنهادی از ترانزیستورهای نانوتیوبی استفاده شده است و سایز تمامی ترانزیستورها یکسان در نظر گرفته شده است ولی اگر ترانزیستورها از نوع ماسفت انتخاب شوند این قابلیت می تواند انتخاب سایز ترانزیستورها را راحت تر کند.

در هر دو مدار معکوس کننده (دوبل شده و اشمیت تریگری) تاخیرهای مدار با توجه به افزایش تعداد ترانزیستورهای بالاکش و پایین‌کش، افزایش می‌یابد ولی با توجه به انتخاب ترانزیستورهای نانوتیوبی و سرعت سوئیچ بالایی که دارند تاخیرهای مدار جبران شد و سلول سرعت عملکرد خوبی را نشان می دهد.

یکی از معایب معکوس کننده های اشمیت تریگری نشتی بالایی است که از طریق مدار فیدبک دارد، با اضافه کردن ترانزیستور MNF2 نیز توانستیم مدار فیدبک معکوس‌کننده‌ی اشمیت‌تریگری را نسبت به سلول کاملاً ایزوله نموده و نشتی ناخواسته‌ایی که از طریق این فیدبک حاصل می‌شد را، مهار کنیم. با دوبل‌کردن ترانزیستور بالاکش در معکوس‌کننده‌ی اشمیت تریگری، کارایی این معکوس‌کننده، در حالت نگهداری نیز همانند معکوس‌کننده دوبل شده، بهبود پیدا کرد.

با توجه به نتایج شبیه سازی‌ها و مقایسه با دیگر مدارات پیشنهادی به نظر می‌رسد این مدار می‌تواند برخی از چالش‌های طراحی سلول های حافظه استاتیکی را رفع نموده و علاوه بر سرعت عملکرد نسبتا خوبی که دارد، می‌تواند از اطلاعات ذخیره شده، در برابر نویز محافظت نماید.

مراجع

[1] S. E. Thompson, Srivatsan Parthasarathy, "Moore's law: the future of Simicroelectronics", Materials Today, vol. 9, pp. 20-25, 2006.

[2] "20 years of nanotube transistors" Nature Electronics, vol.1, pp.149, march 2018.

[3] S. Lin, Y. B. Kim, and F. Lombardi, "A novel CNTFET-based ternary logic gate design", 52nd IEEE International Midwest Symposium, 2009.

[4] S.Prabhu, N.Sarwade, "Hspice Implementation of CNTFET Digital Gates", International Journal of Emerging Trends in Electrical and Electronics, 2013.

[5] Jie Deng, "Device modeling and circuit performance evaluation for nanoscale devices: silicon technology beyond 45 nm node and carbon nanotube field effect transistors", Stanford University, 2007.
[6] Y.B. Kim, Y.B. Kim, F. Lombardi, "A novel design methodology to optimize the speed and power of the CNTFET circuits", 52nd IEEE International Midwest Symposium, pp. 1130-1133, 2009.
[۷] رابی جان ام, "مدارهای مجتمع دیجیتال", داریوش شیری, موسسه علمی فرهنگی نص, ۱۳۸۷.
[۸] پسندی و فخرائی, "سلول حافظه ایستای(SRAM) زیرآستانه هشت ترانزیستوری با قابلیت‌های بهبودیافته خواندن و نوشتن", نشریه مهندسی برق و مهندسی کامپیوتر ایران، ۱۳۹۳.
[9] S. Jung, Y.B. Kim, F. Lombardi, "A novel sort error hardened 10T SRAM cells for low voltage operation", 55th IEEE International Midwest Symposium, pp. 714-717, 2012.
[10] Ahmad S., "Single-Ended Schmitt-Trigger-Based Robust Low-Power SRAM Cell", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2016.
[11] A. Sil, S. Bakkamanthala, and M. Bayoumi, "Highly stable, dual-port, sub-threshold 7T SRAM cell for ultra-low power application", New Circuits and Systems Conference IEEE, 2012.
[12] R.P. Somineni, B. Madhavi, K.L. Kishore, "Low Leakage CNTFET SRAM Cells", Procedia Computer Science, 2015.
[13] Prasad S., B. Madhavi , and K.L. Kishore, "Design of low-leakage CNTFET SRAM cell at 32nm technology using forced stack technique", International Journal of Engineering Research and Applications, 2012.
[14] Monish Jaiswal, Arvind R. Singh, “Design and Analysis of CNTFET-Based SRAM”, International Research Journal of Engineering and Technology (IRJET), Volume: 02 Issue: 04, July 2015.
[15] A. Rajendran, "Noise margin, critical charge and power-delay tradeoffs for SRAM design space exploratin", case western reseve university, 2011.
[16] N. Suresh, V. Padmaja, R. Kumari, "Low Voltage Low Power SRAM design based on Schmitt Trigger technique", IOSR Journal of VLSI and Signal Processing, 2013.
[17] Stanford University CNFETModelWeb site: http://nano.stanford.edu/model.php?id=23.
[18] Zhe Zhang, G. Delgado-Frias, "Near-Threshold CNTFET SRAM Cell Design with Word-ineBoosting and Removed Metallic CNT Tolerance", IEEE trancsactions on nanotechnology, 2014.
[19] Pramod Kumar Patel, M.M. Malik, Tarun K. Gupta, "Reliable high-yield CNTFET-based 9T SRAM operating near threshold voltage region", Journal of Computational Electronics-Springer Science, 2018.
[20] Jitendra Kumar Mishra, Harshit Srivastava, Manish Goswami, "Analytical modelling and design of 9T SRAM cell with leakage control technique", Analog Integrated Circuits and Signal Processing-Springer Science, 2019.
[21] Jitendra Kumar Mishra, Harshit Srivastava, Prasanna Kumar Misra and Manish Goswami, "A 40nm Low Power High Stable SRAM Cell using Separate Read Port and Sleep Transistor Methodology", IEEE International Symposium on Smart Electronic Systems (iSES), 2018.